

ATTORNEY DOCKET NO. 5649-1227

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hideki et al.

Serial No. To be assigned

Filed: Concurrently herewith

For: **PHASE CHANGEABLE MEMORY DEVICES AND METHODS FOR  
FABRICATING THE SAME**

Date: February 18, 2004

MAIL STOP PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

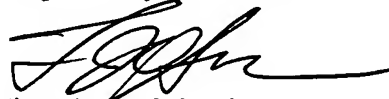
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed are certified copies of the  
following Korean priority applications:

10-2003-0011416, filed February 24, 2003.

Respectfully submitted,



Timothy J. O'Sullivan  
Registration No. 35,632

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

Customer No. 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381447465 US

Date of Deposit: February 18, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Traci A. Brown



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0011416  
Application Number

출원년월일 : 2003년 02월 24일  
Date of Application FEB 24, 2003

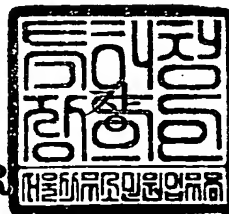
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 17 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.24
【발명의 명칭】	상변화 기억 소자 및 그 제조 방법
【발명의 영문명칭】	PHASE-CHANGEABLE MEMORY DEVICE STRUCTURE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	호리이
【성명의 영문표기】	HIDEKI, HORII
【주소】	서울특별시 강남구 개포3동 주공아파트 506-1206
【국적】	JP
【발명자】	
【성명의 국문표기】	박정희
【성명의 영문표기】	PARK, JEONG-HEE
【주민등록번호】	730607-1057819
【우편번호】	423-813
【주소】	경기도 광명시 광명7동 293-10
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 44 면 44,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 45 항 1,549,000 원

【합계】 1,622,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

상변화 물질을 이용한 기억 소자 및 그 제조 방법은 질소 원소를 함유하는 상변화 물질막을 사용한다. 질소 원소가 상변화 물질막의 그레인 성장을 억제하여 작은 크기의 그레인을 가지는 다결정 상변화 물질막 형성을 가능케 한다. 따라서 상변화 물질막의 비저항을 높이고 또한 상변화 물질막의 결정화 온도를 증가시킴으로써 낮은 전류로서 동작이 가능하고 상변화 기억 소자의 열적 안정성 및 내구성을 향상시킨다.

**【대표도】**

도 4

**【색인어】**

상변화 물질, 상변화 기억 소자, 칼코겐 화합물

## 【명세서】

## 【발명의 명칭】

상변화 기억 소자 및 그 제조 방법{PHASE-CHANGEABLE MEMORY DEVICE STRUCTURE AND METHOD FOR FABRICATING THE SAME}

## 【도면의 간단한 설명】

도 1은 상변화 기억 소자에 대한 기입 동작 원리를 설명하기 위한 그래프이다.

도 2는 본 발명에 따른 질소 원소 농도에 따른 질소 원소를 함유하는 GST (Ge-Sb-Te-N)의 비저항을 보여주는 그래프이다.

도 3은 통상적인 Ge-Sb-Te 및 본 발명에 따른 질소 원소를 함유하는 Ge-Sb-Te의 비저항을 열처리 (annealing) 온도에 관련하여 보여주는 그래프이다.

도 4는 일 예로서 500 °C 열처리 후 통상적인 GST의 결정 상태 및 본 발명에 따른 7 %의 질소 원소를 함유하는 GST의 결정 상태를 보여주는 전자 투사 현미경 사진 (TEM)이다.

도 5는 본 발명의 일 실시예에 따른 가변 저항체를 개략적으로 도시하는 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 가변 저항체를 개략적으로 도시하는 단면도이다.

도 7은 도 5의 가변 저항체를 적용한 상변화 기억 소자를 개략적으로 도시하는 단면도이다.

도 8은 도 7에 대응하는 등가회로도이다.

도 9a 내지 도 9h는 도 7의 상변화 기억 소자를 제조하는 방법을 설명하기 위한 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 단면도들이다.

도 10a 내지 도 10b는 도 5의 가변 저항체를 적용한 상변화 기억 소자를 제조하는 방법을 설명하기 위한 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 단면도들이다.

도 11은 본 발명의 또 다른 일 실시예에 따른 가변 저항체를 개략적으로 도시하는 단면도이다.

도 12는 본 발명의 상변화 기억 소자 및 통상적인 상변화 기억 소자의 누적 비저항 분포를 도시하는 그래프이다.

도 13은 반복적인 기입 동작에 따른 7 원자 퍼센트의 질소 원소를 포함하는 상변화 물질을 구비하는 본 발명의 상변화 기억 소자 및 통상적인 상변화 기억 소자의 리세트 저항/세트 저항 값을 보여주는 그래프이다.

도 14는 통상적인 상변화 기억 소자 및 7 원자 퍼센트의 질소 원소를 포함하는 상변화 물질을 구비하는 본 발명의 상변화 기억 소자에서 열처리 전후의 상변화 물질막에 대한 엑스레이(X-ray) 굴절(XRD) 데이터를 보여주는 그래프이다.

\*도면의 주요 부분에 대한 부호의 설명

101 : 반도체 기판    103 : 소자 분리 영역

105 : 게이트 전극    107a : 드레인 영역

107b : 소오스 영역    109 : 트랜지스터

111 : 층간 절연막    113a : 하부 배선

113b : 콘택 패드    115 : 하부 금속간 절연막

119 : 제 1 전극    121 : 상변화 물질막

123 : 제 2 전극    125 : 상부 금속간 절연막

127 : 도전성 플러그    129 : 상부 배선

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <24>        본 발명은 반도체 기억 소자에 관한 것으로서, 더욱 상세하게는 상변화 기억 소자 구조 및 그 형성 방법에 관한 것이다.
- <25>        반도체 기억 소자들은 전원 공급이 중단되었을 때, 데이터의 보유 유무에 따라, 크게 휘발성 기억 소자 및 비휘발성 기억소자로 나누어 질 수 있다. 휘발성 기억 소자들의 대표적인 것이 디램 소자들 및 에스램 소자들이며, 비휘발성 기억소자들의 대표적인 것이 플래쉬 기억 소자들이다. 이와 같은 전형적인 기억 소자들은 저장된 전하 유무에 따라 논리 "0" 또는 논리 "1"을 나타냄으로써 기억 소자로서의 기능을 한다.
- <26>        휘발성 기억 소자인 디램은, 주기적인 리프레쉬 동작이 필요하며, 높은 전하 저장능력이 요구된다. 따라서, 디램 소자의 경우, 커패시턴스를 증가시키기 위해 많은 노력들이 시도되고 있다. 그 예로서, 커패시터 전극의 표면적을 증가시켜 커패시턴스를 증가시키고 있으나, 커패시터 전극의 표면적 증가는 디램 소자의 집적도 증가를 어렵게 한다.
- <27>        한편 통상적인 플래쉬 기억 셀들은 반도체 기판에 차례로 적층된 게이트 절연막, 부유게이트, 유전체막 및 제어게이트로 구성된 게이트 패턴을 갖는다. 플래쉬 기억 셀에 데이터를 기입 또는 소거하는 원리는 게이트 절연막을 통하여 전하들 터널링시키는 방법을 사용한다.



이때, 전원전압에 비하여 높은 동작전압이 요구된다. 이로 인하여, 플래쉬 기억 소자들은 기입 동작 및 소거동작에 필요한 전압을 형성하기 위하여 승압 회로가 요구된다.

<28> 따라서 비휘발성 특성 및 임의 접근이 가능하고, 소자의 집적도도 증가시키면서 구조가 간단한 새로운 기억 소자를 개발하기 위한 많은 노력이 있었으며, 이에 따라 나타난 대표적인 것이 상변화 기억 소자이다. 상변화 기억 소자는 그것에 제공되는 열(heat)에 의존하여 그 결정 상태가 변하는 상변화 물질을 사용한다. 통상적으로 상변화 물질로서 게르마늄(Ge), 스티비움(stibium; Sb) 및 텔루리움(tellurium; Te)으로 구성된 칼코겐 화합물(GST 또는 Ge-Sb-Te)을 사용한다. 상변화 물질에 열을 제공하기 위해서 상변화 물질막에 전류를 흘려보낸다. 즉, 공급되는 전류의 크기 및 공급 시간에 의존하여 GST의 결정 상태가 변한다. 결정 상태에 따라서 저항의 크기가 다르기 때문에(결정 상태는 저항이 낮고 비정질 상태는 저항이 높음) 저항 차이를 감지하여 논리 정보를 결정할 수 있다.

<29> GST에 높은 크기의 전류 펄스를 단시간 인가하여 (저항 가열) 상변화 물질막의 열을 용융점 부근 (약 610℃) 까지 높이고 나서 급속히 냉각 (약 1ns 미만) 시키면 열을 받은 GST 부분이 비정질 상태로 된다 (리세트 상태). 반면, 상대적으로 낮은 크기의 전류 펄스를 장시간 인가하여 (저항 가열) GST의 열을 용융 온도보다 낮은 결정화 온도(약 450℃)로 유지하여 결정화시킨 후 냉각시키면 열을 받은 GST 부분은 결정 상태가 된다 (세트 상태).

<30> 한편 통상적인 박막 증착 방법으로 형성되는 GST는 그 그레인(grain) 크기가 매우 크게 형성되기 때문에 (약 100nm 이상, 실질적으로 단결정 상태로 형성되기 때문에), 비저항이 매우 낮다 (예컨대, 약 2mΩcm 정도). 따라서, GST를 비정질 상태 (리세트 상태) 로 전환시키기 위해서는 높은 열 (약 610℃ 이상)이 필요하다. 즉, 비정질 상태로 되기 위해 필요한 열을 공급하기 위한 전류 크기는 매우 크다. 이와 같이 높은 크기의 전류 펄스를 요구하는 것은 저전력

소모 및 저전압 동작을 지향하는 현대의 기억 소자 경향에 반하는 것이다. 예컨대, 1mA 크기의 높은 전류 펄스를 약 50ns 동안 인가할 경우 GST의 비저항이 약  $2\text{m}\Omega\text{cm}$  정도로 매우 낮기 때문에, 온도가 약  $141^\circ\text{C}$  까지만 상승하여 GST를 비정질 상태로 전환시킬 수가 없게 된다.

<31> 또한 기억 소자는 반복적인 기입(WRITING) 동작에 대하여도 그 특성을 유지하는 우수한 내구성(endurance) 특성을 가지는 것이 필요하다. 즉, 반복적인 기입 동작으로 인한 열 부담(thermal budget)에 안정이어야 한다. 하지만, 지속적인 열 부담으로 인해 GST의 막질 특성이 변하여 결정화 온도가 감소하게 되고 이에 따라 독출(READING) 동작에서 오동작이 발생하는 문제점이 발생한다. 즉, 독출 동작을 위한 전압 인가시 GST의 결정 상태가 변하여(그 저항이 변하여) 거짓 논리 정보를 판독하게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<32> 따라서 본 발명은 이상에서 언급한 문제점을 해결하기 위해 안출된 것으로서, 낮은 크기의 전류 펄스로 기입 동작이 가능한 상변화 기억 소자 및 그 형성 방법을 제공하는 데 그 목적이 있다.

<33> 본 발명의 다른 목적은, 열적 안정성이 우수하여 내구성이 뛰어난 신뢰성 있는 상변화 기억 소자 및 형성 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<34> 상기 본 발명의 목적들을 달성하기 위하여, 본 발명은 그레인 크기가 감소된 상변화 물질을 포함하는 상변화 기억 셀 및 그를 이용한 상변화 기억 소자를 제공한다. 본 발명이 제공하는 상변화 물질은 아주 작은 크기(약  $100\text{nm}$  이하)의 그레인들로 이루어진 다결정 상태를 나타낸다. 본 발명이 제공하는 상변화 물질은 질소 원소를 포함한다. 따라서 본 발명에 따른 상

변화 물질은 그 비저항이 크기 때문에 기입 동작을 위해 (구체적으로는 비정질 상태로 전환하기 위해) 필요되는 전류 펄스를 낮출 수 있다. 또한 반복적인 기입 동작으로 인한 열 부담에도 매우 안정적이다. 또한 상변화 물질이 작은 크기의 그레인들 다수로 이루어진 다결정이기 때문에 주위 막질로부터의 오염원 침투 또는 확산이 어렵게 된다.

<35> 다결정 상태 또는 질소 원소를 포함하는 본 발명의 상변화 물질은 스퍼터링 방법에 의해서 형성될 수 있다. 예컨대, 소오스 가스로서 질소 가스 및 칼코겐 화합물을 구성하는 각 원소를 사용하고 운송(carrier) 가스로서 불활성 가스인 아르곤 가스를 사용하는 스퍼터링 방법을 사용한다. 또한 증착되는 상변화 물질이 작은 크기의 그레인을 가지는 다결정 상태를 나타내는 온도 조건에서 스퍼터링이 진행된다. 예컨대, 약 100 내지 약 350 °C의 온도 범위에서 진행될 수 있다.

<36> 칼코겐 화합물로 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, In-Sn-Sb-Te, Ag-In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 등이 있다. 따라서 본 발명이 제공하는 상변화 물질은 이들 칼코겐 화합물에 질소 원소가 도핑된, Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나이다. 바람직하게 질소 원소는 상기 상변화 물질 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 %로 포함된다.

<37> 구체적으로 상기 목적들을 달성하기 위하여, 본 발명은 상기와 같은 상변화 물질을 구비하는 상변화 기억 소자를 제공한다. 본 발명에 따른 상변화 기억 소자는, 상변화 물질막 패턴, 서로 마주보면서 상기 상변화 물질막 패턴에 접촉하여 전기 신호를 제공하는 제 1 전극 및 제

2 전극을 포함한다. 상기 상변화 물질막 패턴은 질소 원소를 포함한다. 상기 상변화 물질막 패턴은 아주 작은 크기의 그레인을 가지는 다결정 상태를 나타낸다.

<38>       상기 제 1 전극 및 제 2 전극은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막일 수 있다. 상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다. 탄소 원소를 함유하는 도전성 물질로서, 그라파이트(graphite)와 같은 도전성 카본이 있다.

<39>       전술한 상변화 기억 소자는 소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터, 상기 드레인 영역에 전기적으로 연결된 하부 배선, 상기 제 1 전극 및 제 2 전극 중 어느 하나의 전극에 연결되는 상부 금속 배선을 더 포함한다. 이때, 상기 제 1 전극 및 제 2 전극 중 다른 하나의 전극 (즉, 상기 상부 금속 배선에 연결되지 않은 전극)은 상기 소오스 영역에 전기적으로 연결된다.

<40>       트랜지스터는 특정 상변화 기억 셀 (상변화 물질막 패턴)을 활성화시키는 스위치 기능을 하며, 상부 배선 및 하부 배선에 적당한 전압이 인가되어 기입 또는 독출 동작이 이루어진다.

<41>       상부 배선이 상기 제 1 전극 및 제 2 전극중 어느 하나의 전극에 직접적으로 접촉하여 연결되거나 도전성 플러그를 통해서 연결될 수 있다.

- <42>      상기 목적들을 달성하기 위하여 본 발명은 본 발명은 상기와 같은 상변화 물질을 구비하는 상변화 기억 소자의 형성 방법을 제공한다.
- <43>      본 발명의 일 상태에 따르면 상변화 기억 소자 형성 방법은 반도체 기판 상에 제 1 전극을 형성하는 단계와, 상기 제 1 전극에 전기적으로 접속하는 질소 원소를 포함하는 상변화 물질막 패턴을 형성하는 단계와, 상기 상변화 물질막 패턴 상에 상부전극을 형성하는 단계를 포함한다.
- <44>      상기 상변화 물질막 패턴은 다결정 상태를 가지는 온도 조건에서 스퍼터링 방법으로 형성되며, 예컨대, 약 100 내지 약 350 °C의 온도 범위에서 형성될 수 있다.
- <45>      바람직하게는 상기 질소 원소는 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 % 범위로 포함된다.
- <46>      본 발명의 다른 상태에 따르면, 상변화 기억 소자 형성 방법은, 층간 절연막을 구비하는 반도체 기판을 제공하는 단계와, 상기 층간 절연막 상에 하부 금속간 절연막을 형성하는 단계와, 상기 하부 금속간 절연막을 관통하는 제 1 전극을 형성하는 단계와, 상기 제 1 전극 및 하부 금속간 절연막 상에 질소 원소를 포함하며 다결정 상태를 나타내는 상변화 물질막 패턴 및 제 2 전극을 차례로 형성하는 단계와, 상기 상변화 물질막 패턴 및 상기 제 2 전극을 덮도록 상기 하부 금속간 절연막 상에 상부 금속간 절연막을 형성하는 단계를 포함한다.
- <47>      상기 방법에서, 상기 상변화 물질막 패턴 및 제 2 전극을 차례로 형성하는 단계는, 상기 제 1 전극 및 상기 하부 금속간 절연막 상에 질소 원자를 포함하며 결정 상태를 나타내는 상변화 물질막을 형성하는 단계와, 상기 상변화 물질막 상에 제 2 전극막을 형성하는 단계와, 상기

제 1 전극에 전기적으로 접속하도록 상기 제 2 전극막 및 상기 상변화 물질막을 차례로 패터닝하는 단계로 진행된다.

<48>        상기 방법에서, 상기 층간 절연막을 구비하는 반도체 기판을 제공하는 단계는, 상기 반도체 기판에 소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터를 형성하는 단계와, 상기 트랜지스터를 덮도록 상기 반도체 기판 상에 상기 층간 절연막을 형성하는 단계와, 상기 층간 절연막을 패터닝하여 상기 소오스 영역 및 드레인 영역을 노출시키는 개구부를 형성하는 단계와, 상기 개구부에 도전물질을 채워 각각 상기 소오스 영역 및 드레인 영역에 전기적으로 접속하는 콘택 패드 및 하부 배선을 형성하는 단계를 포함하여 이루어지고, 상기 제 1 전극은 상기 콘택 패드에 전기적으로 접속한다.

<49>        일 실시예에 있어서, 상기 방법은, 상기 상부전극이 노출되도록 상기 상부 금속간 절연막을 평탄화 식각하는 단계와, 평탄화 식각을 진행한 후 배선 물질을 형성하는 단계와, 상기 배선 물질을 패터닝하여 상기 상부전극에 전기적으로 접속하는 상부 배선을 형성하는 단계를 더 포함한다.

<50>        다른 실시예에 있어서, 상기 방법은, 상기 상부 금속간 절연막을 패터닝하여 상기 상부 전극의 일부를 노출시키는 개구부를 형성하는 단계와, 상기 개구부를 채우는 도전성 플러그를 형성하는 단계와, 상기 상부 금속간 절연막 및 도전성 플러그 상에 배선 물질을 형성하는 단계와, 상기 배선 물질을 패터닝하여 상기 도전성 플러그에 전기적으로 접속하는 상부 배선을 형성하는 단계를 더 포함한다.

<51>        본 발명의 또 다른 상태에 따르면 상변화 기억 소자 형성 방법은, 반도체 기판 상에 제 1 전극을 형성하는 단계와, 상기 제 1 전극에 전기적으로 접속하는 다결정 상태의 상변화 물질

막 패턴을 형성하는 단계와, 상기 상변화 물질막 패턴 상에 상부전극을 형성하는 단계를 포함한다.

<52> 이하에서는 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막), 패턴 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고(또는 형성된다고) 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<53> 상변화 기억 소자는 도 1에 도시된 바와 같이, 단시간의 높은 전류 펄스에 의해 달성되는 비정질 상태 (높은 비저항의 리세트 상태)와 상대적으로 긴시간의 낮은 전류 펄스에 의해 달성되는 결정질 상태(낮은 비저항의 세트 상태)로 그 결정 상태가 변하는 상전이 물질을 사용한다. 즉, 상변화 물질막이 그것의 용융 온도 ( $T_m$ )보다 높은 온도로 가열된 후 (전류 펄스에 의한 저항 가열) 아주 짧은 시간 ( $T_1$ )에 냉각되면 상변화 물질막은 비정질 상태가 된다 (곡선 ① 참조). 반면, 상변화 물질막이 그것의 용융 온도 ( $T_m$ )보다는 낮지만 결정화 온도( $T_c$ )보다 높은 온도로 가열되어 (전류 펄스에 의한 저항 가열)  $T_1$  보다 긴 일정 시간 ( $T_2$ ) 유지된 후 냉각되면 결정 상태가 된다 (곡선 ② 참조).

<54> 본 발명은 상변화 물질막의 결정 상태를 변화시키는 데 필요한 열을 발생하기 위해 요구되는 전류 펄스의 크기를 감소시키기 위해서 저항이 증가된 상변화 물질을 사용한다. 전류 펄스에 의해 발생하는 열은 저항에 비례하기 때문이다. 이를 위해 본 발명은 작은 크기 예컨대, 약 100nm 이하의 그레인(grain)들로 이루어진 다결정 갖는 상변화 물질막을 제공한다. 다결정 상태의 상변화 물질막 사용에 따른 또 다른 장점은 상변화 물질막 주위의 막질들로부터 상변화 막질로의 오염원 확산 거리가 증가되기 때문에 상변화 막질로의 오염원 침투를 방지할 수 있다. 예컨대, 후속 열처리 공정 등에서 상변화 물질막 상부에 형성되는 전극을 구성하는 원소가 상변화 물질막으로 침투하는 것을 억제할 수 있다.

<55> 본 발명이 제공하는 상변화 물질막은 질소 원소를 포함한다. 질소 원소는 다결정 상변화 막질의 작은 그레인 내부 (결정 내부) 뿐 아니라 그레인 경계에도 존재한다. 이와 같은 질소 원소로 인해 상변화 물질막의 비저항이 증가하며, 이는 상변화 물질막의 결정 상태를 변화시키는데 필요한 전류 펄스 크기의 감소로 이어진다. 질소 원소가 상변화 물질의 그레인 (grain) 성장을 억제하기 때문에 상변화 물질막은 작은 그레인 크기를 가진다. 질소 원소의 농도가 증가할수록 결정의 크기는 작아진다. 예컨대, 본 발명에 따른 상변화 물질막은 약 100nm 이하의 크기를 가지는 그레인으로 구성된 다결정 상태를 가진다. 바람직하게는 약 40nm 이하의 크기를 가지는 그레인으로 구성된다.

<56> 일 예로서, 본 발명의 상변화 물질막은 그 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 % 범위의 질소 원소를 포함한다. 본 발명의 상변화 물질은 질소 원소를 포함하며, Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나이다.



- <57> 도 2는 본 발명에 따른 질소 원소 농도에 따른 질소 원소를 함유하는 GST (Ge-Sb-Te-N)의 비저항을 보여주는 그래프이다. 도 2에서 가로축은 GST에 포함된 질소 원소의 원자 %를 나타내고 세로축은 비저항 ( $\Omega\text{cm}$ )을 나타낸다. 도 2를 참조하면 질소 원소의 농도가 증가함에 따라 GST의 비저항이 증가하는 것을 알 수 있다.
- <58> 도 3은 통상적인 Ge-Sb-Te 및 본 발명에 따른 질소 원소를 함유하는 Ge-Sb-Te의 비저항을 열처리 (annealing) 온도와 관련하여 보여주는 그래프이다. 도 3에서 가로축은 열처리 온도 ( $^{\circ}\text{C}$ )를, 세로축은 비저항 ( $\Omega\text{cm}$ )을 나타낸다. 도 3에서 - ● - 은 본 발명에 따른 7 %의 질소 원소를 함유하는 GST의 비저항을 나타내고 - □ - 는 통상적인 GST의 비저항을 나타낸다. 도 3을 참조하면, 약 400  $^{\circ}\text{C}$ 의 열처리 후 통상적인 Ge-Sb-Te는 약 2  $\text{m}\Omega\text{cm}$ 로 감소하였지만, 본 발명의 질소 원소를 포함하는 Ge-Sb-Te의 비저항은 약 20  $\text{m}\Omega\text{cm}$ 로 매우 높게 측정되었다. 통상적인 것에 비해 약 10 이상 비저항이 증가하였음을 알 수 있다.
- <59> 도 4는 일 예로서 500  $^{\circ}\text{C}$  열처리 후 본 발명에 따른 7 %의 질소 원소를 함유하는 GST의 결정 상태 및 통상적인 GST의 결정 상태를 보여주는 전자 투사 현미경 사진 (TEM)이다. 도 4에서 위쪽의 TEM 사진이 통상적인 GST의 결정 상태를 보여주고 아래쪽의 TEM 사진이 본 발명의 질소 원소를 함유하는 GST의 결정 상태를 보여준다. 통상적인 GST의 경우 그레인 크기가 매우 큰 (약 100nm 초과) 실질적으로 단결정 상태임을 알 수 있고 본 발명의 경우 다수의 아주 작은 그레인 (약 40nm 이하)으로 이루어진 다결정 상태임을 알 수 있다.
- <60> 도 5는 상술한 상변화 물질막을 구비하는 가변 저항체 구조의 일 예를 개략적으로 도시하는 단면도이다. 도 5에서, 참조번호 119는 제 1 전극을 가리키고, 참조번호 121은 상변화 물질막 패턴을 가리키고, 참조번호 123은 제 2 전극을 가리킨다. 참조번호 115 및 참조번호 125는 각각 하부 금속간 절연막 및 상부 금속간 절연막을 가리킨다. 참조번호 129는 상부 배선을

가리키고 참조번호 127은 상기 상부 배선(129)과 상기 제2 전극(123)을 전기적으로 연결시키는 도전성 플러그를 가리킨다. 상기 제 1 전극(119)은 상기 하부 금속간 절연막(115)의 소정 영역을 관통하는 콘택 플러그 형태이며, 상기 하부 금속간 절연막(115) 및 상기 제 1 전극(119) 상에 상기 상변화 물질막 패턴(121)이 상기 제 1 전극(119)에 전기적으로 접속하도록 배치되고, 상기 제 2 전극이 상기 상변화 물질막 패턴(121) 전면 상에 배치된다. 상기 도전성 플러그(123)는 상기 상부 배선간 절연막(125)의 소정 영역을 관통하여 상기 제 2 전극(123)의 일부에 접촉하고, 상기 상부 배선이 상기 상부 절연막(125) 상에 배치되어 상기 도전성 플러그(123)에 전기적으로 접속한다.

<61> 전술한 바와 같이 상기 상변화 물질막 패턴(121)은 그레인 크기가 매우 작은 다수의 그레인으로 구성된 다결정 상태를 가지며 이로 인해 그 비저항이 높다. 바람직하게 상기 상변화 물질막 패턴(121)은 질소 원소가 도핑된 칼코겐 화합물(chalcogenide compound)이다. 예컨대, 상기 상변화 물질막 패턴(121)은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sb-Sn-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나이다. 이때, 질소 원소는 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 % 범위로 포함될 수 있다. 질소 원소 농도에 따른 상변화 물질막의 비저항은 도 2에 도시되어 있다. 질소 원소 농도가 증가할 수록 비저항이 증가함을 알 수 있다.

<62> 상기 제 1 전극(119)과 상기 상변화 물질막 패턴(121)이 접촉하는 영역은 상기 제 1 전극(119)의 직경에 의존하며 그 접촉 영역에서 결정 상태의 변화가 발생한다. 반면, 상기 제 2 전극(123)은 상기 상변화 물질막 패턴(121) 전면과 접촉한다. 따라서, 상기 상변화 물질막 패턴(121)을 경유해서 상기 두 전극들(119, 121) 사이에 전류가 흐를 때, 상기 제 1 전극(119)

및 상기 상변화 물질막 패턴(121) 사이의 접촉 면적이 작아 그곳의 전류 밀도가 증가하기 때문에 그곳에서 결정 상태의 변화가 발생한다. 비록 도면에서는 제 1 전극이 콘택 플러그 형상을 띠고 있으나, 제 2 전극이 콘택 플러그 형상을 띌 수 있으며, 또한 두 전극들 모두가 콘택 플러그 형상을 띌 수도 있다. 상기 제 1 전극(119), 상변화 물질막 패턴(121) 및 제 2 전극(123)이 가변 저항체(124), 즉 상변화 기억 셀을 구성한다.

<63>        상기 제 1 전극(119) 및 제 2 전극(123)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 하나 이상의 조합이다. 상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다. 탄소 원소를 함유하는 도전성 물질로서, 그래파이트(graphite)와 같은 도전성 카본이 있다.

<64>        상기 상부 배선(129)과 상기 제 2 전극(123)을 전기적으로 접속 시키는 상기 도전성 플러그(127)는 상기 알루미늄(Al), 알루미늄구리 합금(Al-Cu), 알루미늄-구리-실리콘 합금(Al-Cu-Si), 텅스텐 실리사이드(WSi), 구리(Cu), 텅스텐티타늄(TiW), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W) 등으로 형성될 수 있다. 상기 상부 배선(129)은 가변 저항체(124)가 간직하는 논리 정보를 실어 나르는 데이터 라인, 즉, 비트 라인으로 작용한다. 상기 상부 배선(129) 역시 상기 도전성 플러그(127)와 마찬가지로 상기 알루미늄(Al), 알루미늄구리 합금(Al-Cu), 알

루미늄-구리-실리콘 합금(Al-Cu-Si), 텅스텐 실리사이드(WSi), 구리(Cu), 텅스텐티타늄(TiW), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W) 등으로 형성될 수 있다.

- <65> 도 5에서 상기 제 2 전극(123)은 상기 도전성 플러그(127) 및 상기 상변화 물질막 패턴(123) 사이의 반응을 방지하는 장벽층으로서의 역할도 한다.
- <66> 도 6은 상술한 상변화 물질막을 구비하는 가변 저항체 구조의 다른 예를 개략적으로 도시하는 단면도이다. 도 6의 가변 저항체는 도 5의 그것과 동일한 구조를 가지며 단지 상부 배선과의 전기적 연결이 서로 다를 뿐이다. 도 6의 경우, 도시된 바와 같이 상부 배선(129)이 도전성 플러그를 통하지 않고 직접적으로 제 2 전극(123)에 접촉한다.
- <67> 도 7은 도 5에 도시된 가변 저항체(124)를 구비한 본 발명의 일 실시예에 따른 상변화 기억 소자를 개략적으로 도시하는 단면도이다. 도 7에서 참조번호 101은 반도체 기판을, 103은 소자 분리 영역을, 111은 층간 절연막을, 109는 트랜지스터를, 113a는 하부 배선을, 113b는 콘택 패드를, 117은 콘택홀을, 118은 상기 콘택홀(117) 내벽에 형성된 절연 스페이서를, 107a는 드레인 영역을, 105는 게이트 전극을, 107b는 소오스 영역을 가리킨다.
- <68> 상기 반도체 기판(101)에 소정 모양의 활성 영역을 한정하도록 상기 소자 분리 영역(103)이 위치한다. 상기 소자 분리 영역(103)은 국소적 실리콘 산화 방법 또는 트렌치 격리 기술에 의해 형성될 수 있다. 상기 트랜지스터(109)가 상기 반도체 기판(101)의 활성 영역 및 소자 분리 영역(103)을 달린다. 상기 트랜지스터(109)는 게이트 전극(105) 및 그 양측의 활성 영역에 형성된 소오스 영역(107b)과 드레인 영역(107a)으로 구성된다. 상기 게이트 전극(105) 하부의 상기 소오스 영역(107b) 및 드레인 영역(107a) 사이의 활성 영역이 채널 영역에 해당한다. 상기 트랜지스터(109)는 워드 라인으로 작용한다.

- <69>      상기 트랜지스터(109)를 완전히 덮도록 상기 반도체 기판(101) 상에 상기 층간 절연막(111)이 위치한다. 상기 층간 절연막(111) 내에 각각 상기 소오스 영역(107b) 및 상기 드레인 영역(107a)에 전기적으로 접속하는 콘택 패드(113b) 및 하부 배선(113a)이 위치한다. 상기 하부 배선(113a)은 상기 트랜지스터(109)와 평행하게 달린다.
- <70>      상기 콘택 패드(113b), 상기 하부 배선(113a) 및 상기 층간 절연막(111) 상에 도 5의 하부금속간 절연막(115)이 위치한다. 그리고, 상기 제 1 전극(119)이 상기 콘택 패드(113b)에 전기적으로 접속한다. 또, 상변화 물질막 패턴(121), 제 2 전극(123), 도전성 플러그(127) 및 상부 배선(129)이 도 5에 도시된 바와 같이 배치된다.
- <71>      이때, 상기 제 1 전극(119)과 상기 상변화 물질막 패턴(121)이 접하는 접촉 면적을 감소시키기 위해 상기 절연 스페이서(118)가 콘택홀(117) 및 상기 제 1 전극(119) 사이에 위치할 수 있다. 즉, 상기 콘택홀(117)의 직경은 사진 공정의 해상도에 의존한다. 따라서, 상기 콘택홀(117) 측벽에 상기 절연 스페이서(118)를 위치시킴으로써, 그 직경을 줄일 수 있고 좁아진 콘택홀을 상기 제 1 전극(119)이 채우게 된다. 따라서 상기 제 1 전극(119) 및 상기 상변화 물질막 패턴(121) 사이의 접촉 면적이 사진 공정이 허용하는 해상도 보다도 더 작게 형성될 수 있다. 이로 인해 기입 동작에 필요되는 전류의 크기를 더욱 감소시킬 수 있다.
- <72>      이제 도 7에 도시된 상변화 기억 소자의 동작에 대해서 간단히 살펴보기로 한다. 도 8은 도 7에 도시된 상변화 기억 소자에 대한 등가회로도이다.
- <73>      상변화 기억 소자는 접근 트랜지스터 Ta (109), 가변 저항체 Rv (124)를 포함한다. 가변 저항체 Rv (124)는 두 전극들(119, 123) 사이에 개재하는 상변화 물질막 패턴(121)으로 구성된다. 가변 저항체 Rv (124)의 제 2 전극(123)에 상부 배선(129)이 연결되어 비트 라인(BL)으로 작용한다. 접근 트랜지스터 Ta (109)는 하부 배선(IL, 113a)에 전기적으로 접속되는 드레인 영

역, 가변 저항체  $R_v$  (124)의 제 1 전극에 전기적으로 접속하는 소오스 영역 및 워드 라인 (WL)으로 작용하는 게이트 전극으로 구성된다.

<74> 예컨대, 가변 저항체  $R_v$  (124)에 논리 정보 '0' (고 저항 상태) 또는 논리 정보 '1' (저 저항 상태)을 저장하는 기입(WRITING) 동작을 설명한다. 접근 트랜지스터  $T_a$  를 턴온 시키기에 충분한 신호를 워드 라인(WL)에 인가하고, 비트 라인(BL)은 접지시킨다. 그리고, 하부 배선(IL)에는 기입하고자 하는 논리 정보에 대응하는 크기 및 시간을 가지는 전류 펄스에 대응하는 신호를 인가한다. 이에 따라 가변 저항체  $R_v$ 를 통해 하부 배선(IL) 및 비트 라인(BL) 사이에 전류가 흐르고 이에 따라 가변 저항체  $R_v$ 를 구성하는 상변화 물질막 패턴의 결정 상태가 변하여 결국 가변 저항체  $R_v$ 의 저항이 바뀌게 된다.

<75> 본 발명에 따르면, 가변 저항체  $R_v$ 를 구성하는 상변화 물질막 패턴의 비저항이 크기 때문에 그 결정 상태를 전환시키기 위해 필요로 되는 전류 펄스(즉, 하부 배선에 인가되는 신호)의 크기가 줄어들게 된다.

<76> 한편, 가변 저항체  $R_v$ 에 논리 정보를 끄집어 내는 독출(READING) 동작을 살펴보자. 워드 라인(WL)에 접근 트랜지스터  $T_a$ 를 턴온 시키기에 충분한 신호를 인가하고, 하부 배선(IL)은 접지시키고 비트 라인(BL)에는 동작 전압을 인가한다. 이때 동작 전압은 상변화 물질막 패턴의 결정 상태를 변화시키지 않는 크기의 전압이다. 이에 따라 가변 저항체  $R_v$ 를 통해서 비트 라인(BL) 및 하부 배선(IL) 사이가 도통되고 비트 라인(BL)을 통해서 상변화 물질막 패턴의 저항(논리 정보)이 감지된다.

<77> 이제 도 9a 내지 도 9h를 참조하여 도 7에 도시된 상변화 기억 소자를 형성하는 방법에 대해서 설명을 하기로 한다.

<78> 먼저 도 9a를 참조하여, 통상적인 모스 전계효과 트랜지스터(MOSFET) 공정을 진행하여 반도체 기판 (101)에 소자 분리 영역 (103) 및 트랜지스터 (109)를 형성한다. 상기 소자 분리 영역(103)은 상기 반도체 기판 (101)에 형성된 절연 영역으로서 활성 영역을 한정하며, 국소적 실리콘 산화 공정(LOCOS) 또는 트렌치 공정(STI) 등에 의해서 형성될 수 있다. 상기 트랜지스터(109)는 상기 반도체 기판 (101) 상에 형성되며 일정한 방향으로 신장하는 게이트 전극 (105), 그 양측의 반도체 기판 (101)의 활성 영역에 형성된 소오스 영역(107b) 및 드레인 영역 (107a)으로 구성된다. 한편, 상기 소오스 영역(107b) 및 상기 드레인 영역(107a) 사이의 활성 영역, 즉, 상기 게이트 전극(105) 아래의 활성 영역이 채널 영역으로서 상기 소오스 영역 (107b) 및 상기 드레인 영역(107a) 사이의 전류 통로로서의 역할을 한다. 그리고, 상기 게이트 전극(105) 및 채널 영역 사이에는 게이트 절연막이 개재함은 이 분야의 통상적인 지식을 가진 자에게 자명한 사실이다.

<79> 다음 도 9b를 참조하여, 상기 트랜지스터(109)를 완전히 덮도록 층간 절연막(111)을 형성한다. 상기 층간 절연막(111)은 실리콘 산화막으로 형성되며, 화학적기상증착(CVD) 방법 등이 사용되어 형성될 수 있다.

<80> 다음 도 9c를 참조하여, 하부 배선(113a) 공정을 설명한다. 상기 하부 배선(113a)은 상기 트랜지스터(109)의 드레인 영역(107a)에 전기적으로 접속하는 도전성 배선이다. 예컨대, 상기 하부 배선(113a)은 상기 게이트 전극(105)과 평행하도록 신장될 수 있다. 본 실시예에서는 듀얼 다마신(dual damascene) 공정을 사용하여 상기 하부 배선(113a)을 형성한다. 구체적으로, 상기 층간 절연(111)을 패터닝하여 하부 배선이 형성될 배선 용 홈(interconnection groove, 112a) 및 상기 홈(112a)의 일정 영역에서 연속하여 상기 드레인 영역(107a)을 노출시키는 콘택 홀(112a')을 형성한다. 이어서 상기 홈(112a) 및 콘택홀(112a')을 도전물질로 채워 상기 드레

인 영역(107a)에 전기적으로 접속하는 상기 하부 배선(113a)을 형성한다. 이때, 본 발명에 따르면, 상기 하부 배선(113a)을 형성할 때, 동시에 상기 소오스 영역(107b)에 전기적으로 접속하는 콘택 패드(113b)도 형성한다. 즉, 상기 배선용 홈(112a) 및 콘택홀(112a')을 형성할 때, 동시에 콘택 패드용 개구부(112b) 및 여기에 연속하며 상기 소오스 영역(107b)을 노출시키는 콘택홀(112b')을 형성한다. 그리고, 상기 홈(112a) 및 콘택홀(112a')을 도전물질로 채울 때, 동시에 상기 개구부(112b) 및 콘택홀(112b')도 동시에 상기 도전물질로 채워진다. 상기 콘택 패드(113b)는 후속 공정으로 형성될 가변 저항체(도 9f의 참조번호 124)를 상기 소오스 영역(107b)에 전기적으로 연결시키는 역할을 한다.

<81> 비록 듀얼 다마신 공정을 사용하여 상기 하부 배선(113a) 및 콘택 패드(113b)를 형성하였지만, 다른 방법을 사용할 수도 있다. 즉, 상기 층간 절연막(111)을 패터닝하여 상기 소오스 영역(107b) 및 드레인 영역(107a)을 노출시키는 콘택홀들을 형성한 후 상기 콘택홀들을 채우도록 상기 층간 절연막(111) 상에 도전물질을 형성하고, 이어서 패터닝 공정을 진행할 수도 있다.

<82> 다음 도 9d를 참조하여, 상기 하부 배선(113a) 및 콘택 패드(113b) 그리고 상기 층간 절연막(111) 상에 하부 금속간 절연막(115)을 형성한다. 상기 금속간 절연막(115)은 예컨대 화학적기상증착 방법을 사용한 실리콘 산화막으로 형성될 수 있다. 계속해서, 상기 하부 금속간 절연막(115)을 패터닝하여 상기 콘택 패드(113b)를 노출시키는 콘택홀(117)을 형성한다.

<83> 다음 도 9e를 참조하여, 상기 콘택 패드(113b)를 노출시키는 콘택홀(117) 측벽에 절연성 스페이서(118)를 형성하여 그 직경을 감소시킨다. 이로 인해 제 1 전극 및 상변화 물질막 패턴 사이의 접촉 면적을 사전 공정 한계 이상으로 줄일 수 있다. 상기 절연성 스페이서(118)는



절연막을 증착 한 후 식각 마스크 없이 증착된 절연막에 대해 재식각하는 에치백 공정이 진행되어 형성 될 수 있다.

<84> 계속해서 도 9e를 참조하여, 상기 절연성 스페이서(118)를 형성한 후, 직경이 감소된 콘택홀을 도전물질로 채워 상기 콘택 패드(113b)에 전기적으로 접속하는 제 1 전극(119)을 형성한다. 상기 제 1 전극(119)은 도전물질 증착 및 이에 대한 평탄화 공정(예컨대, 물리화학적 연마 공정 또는 에치백 공정)을 진행하여 형성될 수 있다.

<85> 상기 제 1 전극(119)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들이 둘 이상이 적층된 다층막일 수 있다. 상기 제 1 전극(119)은 화학적기상증착법, 물리적기상증착법(PVD), 원자층증착법(ALD) 등의 막질 증착 방법을 사용하여 형성될 수 있다. 상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다. 탄소 원소를 함유하는 도전성 물질로서, 그래파이트(graphite)와 같은 도전성 카본(C)이 있다.

<86> 상기 제 1 전극(119)의 일예로서 원자층증착법에 의해 질화알루미늄티타늄(TiAlN)을 적용할 경우 그 형성 방법을 설명한다. 먼저 티타늄 소오스 가스로서 사염화 티타늄( $TiCl_4$ )을 반응기 내로 흘려보내어(유입) 상기 절연성 스페이서(118)가 형성된 반도체 기판에 화학적 흡착시킨다. 이어서 퍼징(purging) 가스로 흡착되지 않은 사염화 티타늄을 퍼지시킨 후(반응기 외

부로 배출) 질소 소오스 가스로서 암모니아( $\text{NH}_3$ )를 반응기 내로 흘려보낸다. 이에 따라 질화 티타늄막( $\text{TiN}$ )이 형성된다. 퍼징 가스로 내부를 퍼지하여 반응하지 않은 암모니아를 반응기 외부로 배출시킨다. 다음 알루미늄 소오스로서 삼메탄알루미늄( $\text{Al}(\text{CH}_3)_3$ )을 흘려 보내어 티타늄막 위에 흡착시킨다. 이어서, 흡착되지 않은 삼메탄알루미늄을 퍼징 가스를 흘려 보내어 반응기 외부로 배출시키고, 마지막으로 다시 암모니아를 흘려 보낸 후 퍼징 가스로 퍼지시킨다. 이와 같은 단계들로 이루어진 단위 사이클을 반복하면서 원하는 두께의  $\text{TiAlN}$ 막을 형성한다. 원활한 소오스 가스 유입을 위해서 운반 가스(예컨대, 아르곤 또는 질소 가스)를 사용할 수 도 있다.

<87> 계속해서 도 9e를 참조하여, 상기 제 1 전극(119)을 형성한 후, 상기 하부 금속간 배선막(115) 상에 상변화 물질막(121) 및 제 2 전극막(123)을 형성한다. 상기 상변화 물질막(121)은 질소 원소를 포함하도록 형성된다. 예컨대, 상기 상변화 물질막(121)은 칼코젠 화합물을 타겟으로 하여 운송 가스로서 아르곤 가스를 사용하고 질소 가스를 사용하는 스퍼터링 방법에 의해 형성될 수 있다. 이때, 예컨대, 약 100 내지 350  $^{\circ}\text{C}$ 의 온도 범위에서 형성될 수 있다. 이에 따라 본 발명에 따르면, 상기 상변화 물질막(121)은 그레인 크기가 매우 작은 다수의 그레인으로 구성된 다결정 상태를 갖도록 형성된다. 예컨대, 상기 상변화 물질막(121)은 약 100nm 이하의 크기를 가지는 그레인으로 구성된 다결정 상태를 나타낸다. 바람직하게 약 40nm 이하의 그레인을 이루어진다. 본 발명에 따르면, 상기 상변화 물질막(121)은 약 0.25 내지 25 원자 퍼센트의 질소 원소를 포함한다. 칼코젠 화합물로 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, In-Sn-Sb-Te, Ag-In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 등을 사용할 수 있다. 이에 따라, 본 발명에 따른 상기 상변화 물질막(121)은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원

소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 등으로 형성될 수 있다.

<88> 일 예로서, Ge-Sb-Te-N을 스퍼터링 방법을 사용하여 형성하는 경우를 설명한다.

Ge-Sb-Te를 타겟으로 하여 약 10mm Torr 의 아르곤, 약 1mm Torr의 질소, 약 500와트의 DC 파워에서, 약 100 내지 350℃의 온도 범위에서 약 100 내지 1000Å의 두께 범위로 형성한다. 이와 같이 형성된 본 발명의 상변화 물질막은 도 4에 도시된 바와 같이 매우 작은 크기(약 40nm 이하)의 다수의 그레인(grain)으로 이루어진 다결정 상태를 가진다.

<89> 상기 제 2 전극막(123)은 화학적기상증착법, 물리적기상증착법, 원자층증착법 등의 방법을 사용하여 형성될 수 있으며, 상기 제 1 전극(119)과 동일한 물질을 사용하여 형성될 수 있다. 예컨대, 상기 제 2 전극막(123)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들이 둘 이상이 적층된 다층막일 수 있다.

<90> 일 예로서 물리적기상증착법을 사용하여 질화알루미늄티타늄으로 제 2 전극을 형성하는 경우를 설명한다. 원자층증착법을 사용하는 경우는 앞서 설명한 바와 같다. 알루미늄티타늄 얼로이(20 원자 퍼센트의 알루미늄)를 타겟으로 하는 DC 스퍼터에서, 약 3mm Torr의 아르곤, 약 3mm Torr의 질소, 약 1500와트의 DC 파워 조건으로 진행하여 약 100 내지 1000 Å 두께 범위의 제 2 전극막(123)을 형성할 수 있다.

<91> 다음 도 9f를 참조하여, 상기 제 1 전극(119)에 전기적으로 접속하도록 상기 제 2 전극막(123) 및 상변화 물질막(121)을 패터닝하여 인접한 것들과 전기적으로 분리된 가변 저항체(124)를 완성한다.



- <92> 다음 공정은 상부 배선 공정이다. 먼저 도 9g를 참조하여, 상기 가변 저항체(124)를 완성한 후, 상기 하부 금속간 절연막(115) 상에 상기 가변 저항체(124)를 덮도록 상부 금속간 절연막(125)을 형성한다. 상기 상부 금속간 절연막(125)은 화학적기상증착법 등을 사용하여 형성된 실리콘 산화막일 수 있다. 계속해서, 상기 상부 금속간 절연막(125)을 패터닝하여 상기 가변 저항체(124)의 제 2 전극(123)을 노출시키는 콘택홀(126)을 형성한다.
- <93> 다음 도 9h를 참조하여, 상기 제 2 전극(123)을 노출시키는 콘택홀(126)에 도전물질을 채워 도전성 플러그(127)를 형성한다. 이어서 상기 도전성 플러그(127)를 포함하여 상기 상부 금속간 절연막(125) 상에 상부 배선 물질을 형성하고 이를 패터닝하여 도 7에 도시된 바와 같이 상기 도전성 플러그(127)에 전기적으로 접속하는 상부 배선(129)을 형성한다. 결국, 상기 도전성 플러그(127)는 상기 제 2 전극(123) 및 상기 상부 배선(129)을 전기적으로 연결시킨다. 상기 도전성 플러그(127)는 도전물질을 상기 제 2 전극(123)을 노출시키는 콘택홀(126)을 채우도록 증착한 후 평탄화 공정을 진행하여 형성될 수 있다.
- <94> 상기 도전성 플러그(127)는 알루미늄, 알루미늄구리 합금, 알루미늄구리실리콘 합금, 텅스텐 실리사이드, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 텅스텐티타늄, 구리 등으로 형성될 수 있으며, 물리적기상증착법, 화학적기상증착법 등을 사용할 수 있다. 상기 상부 배선(129) 역시 상기 도전성 플러그(127) 형성에 사용되는 물질과 동일한 것을 사용하여 형성될 수 있다.
- <95> 다른 방법으로 도전성 플러그 및 상부 배선이 한 번의 공정으로 형성될 수 있다. 즉, 상기 제 2 전극(123)을 노출시키는 콘택홀(126)을 형성한 후 상기 콘택홀(126) 및 상기 상부 금속간 절연막(125) 상에 도전물질을 형성한 후 이를 패터닝하여 상기 제 2 전극(123)에 전기적으로 접속하는 상부 배선을 형성한다.

- <96> 도 10a 및 도 10b는 다른 실시예에 따른 상부 배선 및 제 2 전극 사이의 전기적 연결 방법을 설명하기 위한 단면도이다. 본 실시예에 따르면, 앞서 설명한 방법과 달리 제 2 전극을 노출시키는 콘택홀 공정이 진행되지 않고, 제 2 전극이 직접 상부 배선과 접촉한다.
- <97> 먼저 도 10a를 참조하여, 도 9f에 도시된 바와 같이 가변 저항체(124)를 형성한 후, 상부 금속간 절연막을 형성하고 이어서 상기 상부 금속간 절연막에 대한 평탄화 공정을 진행한다. 이에 따라 도 10a에 도시된 바와 같이, 상부 금속간 절연막(125)은 제 2 전극(123)과 동일한 높이를 가진다. 평탄화 공정은 물리화학적 연마 공정 또는 에치백 공정을 사용하여 진행된다.
- <98> 다음 도 10b를 참조하여, 상기 상부 금속간 절연막(125) 및 제 2 전극(123) 상에 도전물질을 형성한 후 이를 패터닝하여 상부 배선(129)을 형성한다. 상기 상부 배선(123)은 알루미늄, 알루미늄구리 합금, 알루미늄구리실리콘 합금, 텅스텐 실리사이드, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 텅스텐티타늄, 구리 등으로 형성될 수 있으며, 물리적기상증착법, 화학적기상증착법 등을 사용할 수 있다. 본 실시예에 따르면 상부 배선(129)이 직접 상기 제 2 전극(123)과 접촉한다.
- <99> 이제, 상술한 바와 같이 질소 원소(7 원자 퍼센트)를 포함하는 상변화 물질막을 구비하는 본 발명의 상변화 기억 소자의 특성을 통상적인 상변화 기억 소자와 비교한다.
- <100> 도 11은 본 발명의 상변화 물질막 패턴을 구비하는 가변 저항체 구조의 또 다른 예를 도시하는 단면도이다. 도 5 및 도 6에 보여진 구조와 달리 상변화 물질막 패턴(121)이 절연막(125)의 소정 영역에 형성된 콘택홀(225)을 통해서 제 1 전극(119)에 연결된다. 또한, 상기 제 1 전극(119)이 콘택 플러그 모양을 가지지 않고 절연막(115) 상에 일정한 모양으로 형성된다.

<101> 구체적으로, 하부 금속간 절연막(115) 상에 제1 전극(119)이 배치된다. 상기 제 1 전극(119)은 상기 하부 금속간 절연막(115)을 뚫고 형성된 플러그(116)를 통해서 반도체 기판에 전기적으로 접속한다. 상기 제 1 전극(119)을 피복하도록 상기 하부 금속간 절연막(115) 상에 상부 금속간 절연막(125)이 위치한다. 상기 상부 금속간 절연막(115)은 상기 제 1 전극(119)의 일부를 노출시키는 콘택홀(225)을 구비한다. 상기 상부 금속간 절연막(125) 상에 상변화 물질막 패턴(121)이 위치한다. 상기 상변화 물질막 패턴(121)은 상기 콘택홀을 통해서 상기 제1 전극(119)에 전기적으로 접속한다. 상기 상변화 물질막 패턴(121) 상에 제2 전극이 위치한다. 상기 제 1 전극(119), 상변화 물질막 패턴(121) 및 제2 전극(123)이 가변 저항체(124)를 구성한다.

<102> 상기 상변화 물질막 패턴(121)은 그레인 크기가 매우 작은 다수의 그레인으로 구성된 다결정 상태를 가지며 이로 인해 그 비저항이 높다. 바람직하게 상기 상변화 물질막 패턴(121)은 질소 원소가 도핑된 칼코젠(chalcogenide) 화합물이다. 예컨대, 상기 상변화 물질막 패턴(121)은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sb-Sn-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나이다. 이때, 질소 원소는 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 % 범위로 포함될 수 있다.

<103> 상기 제 2 전극(123)은 앞서 도 5 및 도 6을 참조하여 설명한 방법과 동일하게 상부 배선에 전기적으로 접속한다. 즉, 직접 상부 배선과 접속하거나 플러그를 통해서 상부 배선과 접속할 수 있다. 또한 상기 제 1 전극은 콘택 플러그(116)를 통해서 반도체 기판에 형성된 접근 트랜지스터의 소오스 영역에 전기적으로 접속한다.

- <104> 도 11을 구비하는 상변화 기억 소자를 제조하는 방법을 간략히 설명을 한다. 먼저, 도 9a 내지 도 9c를 참조하여 설명한 방법과 동일하게 반도체 기판 상에 소자 분리 영역, 트랜지스터, 하부 배선, 콘택 패드 등을 형성한다. 이어서 도 11에 도시된 바와 같이, 하부 금속간 절연막(115)을 형성한다. 계속해서 상기 하부 금속간 절연막(115)을 패터닝하여 상기 금속 패드를 노출시키는 콘택홀을 형성한 후 여기에 도전물질을 채워 콘택 플러그(116)를 형성한다.
- <105> 상기 콘택 플러그(116) 및 상기 하부 금속간 절연막(115) 상에 제 1 전극 물질을 증착한 후 이를 패터닝하여 제 1 전극(119)을 형성한다. 이때, 상기 제 1 전극(119)은 상기 콘택 플러그(116)를 덮는다. 상기 제 1 전극(119)이 형성된 결과의 반도체 기판 전면에 상부 금속간 절연막(125)을 형성한다. 상기 상부 금속간 절연막(125)을 패터닝하여 상기 제 1 전극(119)을 노출시키는 콘택홀(225)을 형성한다. 상기 콘택홀(225) 내부 및 상기 상부 금속간 절연막(125) 상에 상변화 물질막을 형성한다. 상기 상변화 물질막(121)은 질소 원소를 포함하도록 형성된다. 예컨대, 상기 상변화 물질막(121)은 칼코겐 화합물을 타겟으로 하여 운송 가스로서 아르곤 가스를 사용하고 질소 가스를 사용하는 스퍼터링 방법에 의해 형성될 수 있다. 이때, 예컨대, 약 100 내지 350 °C의 온도 범위에서 형성될 수 있다.
- <106> 상기 상변화 물질막 상에 제 2 전극물질을 형성한 후, 상기 제2 전극물질 및 상기 상변화 물질막을 차례로 패터닝하여 상변화 물질막 패턴(121) 및 제 2 전극(123)을 형성한다.
- <107> 후속 공정은 상부 배선(비트 라인) 공정으로서 앞서 설명한 방법과 동일하기 때문에 설명을 생략한다.
- <108> 도 12는 본 발명의 상변화 기억 소자 및 통상적인 상변화 기억 소자의 누적 비저항 분포를 도시하는 그래프이다. 도 11에서 가로축은 비저항( $k\Omega/\text{cnt}$ )을 세로축은 누적 분포를 나타낸다. 또 도면에서 - ● - 는 본 발명의 7 원자 퍼센트의 질소가 도핑된 상변화 물질막을 구비하



는 상변화 기억 소자를 나타내고, - □- 는 통상적인 상변화 기억 소자를 나타낸다. 도시된 바와 같이, 통상적인 상변화 기억 소자에 비해서 본 발명의 상변화 기억 소자의 저항이 증가했음을 알 수 있다.

<109> 도 13은 반복적인 기입 동작에 따른 7 원자 퍼센트의 질소 원소를 포함하는 상변화 물질을 구비하는 본 발명의 상변화 기억 소자 및 통상적인 상변화 기억 소자의 리세트 저항/세트 저항 값을 보여주는 그래프이다. 도면에서 가로축은 기입 동작 회수이고, 세로축은 리세트 저항/세트 저항 값을 가리킨다. 도면에서 - ●- 는 본 발명의 7 원자 퍼센트의 질소가 도핑된 상변화 물질막을 나타내고, - □- 는 통상적인 상변화 물질막을 나타낸다. 도시된 바와 같이, 통상적인 상변화 기억 소자의 경우 기입 동작 회수가 증가함에 따라 리세트 저항/세트 저항 값이 점점 감소함을 알 수 있다. 하지만 본 발명의 상변화 기억 소자의 경우, 반복적인 기입 동작에도 불구하고 리세트 저항/세트 저항 값을 처음과 비슷하게 약 5 이상 유지함을 알 수 있다. 즉, 본 발명의 상변화 기억 소자가 열적 안정성이 매우 우수함을 알 수 있다.

<110> 도 14는 또한 본 발명의 상변화 기억 소자의 열적 안정성이 우수함을 보여주는 그래프이다. 도 14는 7 원자 퍼센트의 질소 원소를 포함하는 상변화 물질을 구비하는 본 발명의 상변화 기억 소자 및 통상적인 상변화 기억 소자에서 열처리 전후의 상변화 물질막에 대한 엑스 레이(X-ray) 굴절(XRD) 데이터를 보여준다. 도면에서 위쪽이 통상적인 상변화 기억 소자에 대한 것이고 아래쪽이 본 발명의 상변화 기억 소자에 대한 것이다. 도면에 보여진 것 같이, 본 발명의 경우, 400℃ 열처리 전후에서 실질적으로 동일한 양상을 보이는 반면(열적 안정성 우수), 통상적인 상변화 기억 소자의 경우, 열처리 전후에서 매우 심한 변화가 일어났음을 알 수 있다.

<111> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어





나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

**【발명의 효과】**

- <112>        이상에서 설명한 바와 같이, 본 발명에 따르면, 상변화 물질막의 비저항을 크게 할 수 있어, 기입 동작시 필요한 전류 펄스의 크기를 감소시킬 수 있다. 이에 더하여 첨가되는 질소 원소의 농도를 적절히 조절함으로써, 소자 목적에 적합하게 상변화 물질막 패턴의 비저항을 용이하게 조절할 수 있다.
- <113>        또, 상변화 물질막의 결정화 온도를 높일 수 있어, 내구성 특성을 향상시킬 수 있다.
- <114>        또한, 상변화 물질막이 작은 크기의 그레인들로 이루어진 다결정이기 때문에, 물질 확산 거리가 증가하여 주위로부터의 오염원 침투를 억제할 수 있다.



【특허청구범위】

【청구항 1】

상변화 물질막 패턴;

서로 마주보면서 상기 상변화 물질막 패턴에 접촉하여 전기 신호를 제공하는 제 1 전극 및 제 2 전극을 포함하며,

상기 상변화 물질막 패턴은 질소 원소를 포함하는 것을 특징으로 하는 상변화 기억 소자

【청구항 2】

제 1 항에 있어서,

상기 상변화 물질막 패턴은 다결정 상태인 것을 특징으로 하는 상변화 기억 소자.

【청구항 3】

제 1 항에 있어서,

상기 질소 원소는 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 %로 포함되는 것을 특징으로 하는 상변화 기억 소자.

【청구항 4】

제 1 항에 있어서,

상기 상변화 물질막 패턴은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자.

## 【청구항 5】

제 1 항에 있어서,

상기 제 1 전극 및 제 2 전극 은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막인 것을 특징으로 하는 상변화 기억 소자.

## 【청구항 6】

제 5 항에 있어서,

상기 제 1 전극 및 제 2 전극 중 어느 하나의 전극은 알루미늄(Al), 알루미늄-구리 합금(Al-Cu), 알루미늄-구리-실리콘 합금(Al-Cu-Si), 텅스텐 실리사이드(WSi), 구리(Cu), 텅스텐티타늄(TiW) 중 어느 하나 또는 이들의 조합막을 더 포함하는 것을 특징으로 하는 상변화 기억 소자.

## 【청구항 7】

제 5 항 또는 제 6 항에 있어서,

상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산



화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자.

#### 【청구항 8】

제 1 항에 있어서,

소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터;

상기 드레인 영역에 전기적으로 연결된 하부 배선;

상기 제 1 전극 및 제 2 전극 중 어느 하나의 전극에 연결되는 상부 금속 배선을 더 포함하며;

상기 제1 전극 및 제 2 전극 중 다른 하나의 전극은 상기 소오스 영역에 전기적으로 연결되는 것을 특징으로 하는 상변화 기억 소자.

#### 【청구항 9】

상변화 물질막 패턴;

서로 마주보면서 상기 상변화 물질막 패턴에 접촉하여 전기 신호를 제공하는 제 1 전극 및 제 2 전극을 포함하며,

상기 상변화 물질막 패턴은 다결정 상태인 것을 특징으로 하는 상변화 기억 소자.

#### 【청구항 10】

제 9 항에 있어서,

상기 상변화 물질막 패턴은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자.



【청구항 11】

제 10 항에 있어서,

상기 상변화 물질막 패턴에서 질소 원소는 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 % 범위로 포함되는 것을 특징으로 하는 상변화 기억 소자.

【청구항 12】

반도체 기판 상에 배치된 소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터;

상기 드레인 영역에 전기적으로 연결된 하부 배선;

상기 하부 배선과 동일 물질 및 동일 높이에 위치하는 콘택 패드;

상기 콘택 패드에 전기적으로 연결된 가변 저항체;

상기 가변 저항체에 전기적으로 연결된 상부 배선을 포함하며,

상기 가변 저항체는 두 전극들 사이에 개재하면서 질소 원소를 포함하는 상변화 물질막 패턴으로 구성되는 것을 특징으로 하는 상변화 기억 소자.

【청구항 13】

제 12 항에 있어서,

상기 상변화 물질막 패턴은 100nm 이하의 크기를 가지는 그레인으로 이루어진 다결정 상태인 것을 특징으로 하는 상변화 기억 소자.

**【청구항 14】**

제 12 항 또는 제 13 항에 있어서,

상기 질소 원소는 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 %로 포함되는 것을 특징으로 하는 상변화 기억 소자.

**【청구항 15】**

제 12 항에 있어서,

상기 상변화 물질막 패턴은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자.

**【청구항 16】**

제 12 에 있어서,

상기 두 전극들은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막인 것을 특징으로 하는 상변화 기억 소자.

**【청구항 17】**

제 14 항에 있어서,

상기 두 전극들은 질소를 함유하는 도전성 물질, 탄소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막인 것을 특징으로 하는 상변화 기억 소자.

**【청구항 18】**

제 16 항에 있어서,

상기 두 전극들 중 하나의 전극은 상기 콘택 패드에 전기적으로 접속하고 다른 하나의 전극의 상기 상부 배선에 전기적으로 접속되며,

상기 상부 전극에 접속되는 다른 하나의 전극은 알루미늄(Al), 알루미늄-구리 합금(Al-Cu), 알루미늄-구리-실리콘 합금(Al-Cu-Si), 텅스텐 실리사이드(WSi), 구리(Cu), 텅스텐티타늄(TiW) 중 어느 하나 또는 이들의 조합막을 더 포함하는 것을 특징으로 하는 상변화 기억 소자.

**【청구항 19】**

제 18 항에 있어서,

상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자.

**【청구항 20】**

반도체 기판 상에 배치된 소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터;

상기 트랜지스터를 덮도록 상기 반도체 기판 상에 형성된 층간절연막;

상기 층간절연막 내에 배치되며 상기 드레인 영역에 전기적으로 연결된 하부 배선;

상기 층간절연막 내에 배치되며 상기 하부 배선과 동일 물질 및 동일 높이에 위치하는  
콘택 패드;

상기 층간절연막 상에 배치된 하부 금속간 절연막;

상기 콘택 패드에 전기적으로 연결되는 가변 저항체;

상기 하부 금속간 절연막 상에 배치되고 상기 가변 저항체 측면을 덮는 상부 금속간 절  
연막;

상기 상부 금속간 절연막 상에 배치되고 상기 가변 저항체에 전기적으로 접속되는 상부  
배선을 포함하며,

상기 가변 저항체는 상기 하부 금속간 절연막의 소정 부분을 뚫고 상기 콘택 패드에 전  
기적으로 접속하는 하부전극;

상기 하부 금속간 절연막 상에 배치되고 상기 하부전극에 전기적으로 접속하는 질소 원  
소를 포함하는 상변화 물질막 패턴;

상기 상변화 물질막 패턴 상에 배치되어 상기 상부 배선에 전기적으로 접속하는 상부전  
극으로 구성되는 것을 특징으로 하는 상변화 기억 소자.

#### 【청구항 21】

제 20 항에 있어서,

상기 상변화 물질막 패턴은 약 100nm 이하의 그레인들로 이루어진 다결정 상태인 것을  
특징으로 하는 상변화 기억 소자.



**【청구항 22】**

제 21 항에 있어서,

상기 질소 원소는 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 %로 포함되는 것을 특징으로 하는 상변화 기억 소자.

**【청구항 23】**

제 22 항에 있어서,

상기 상변화 물질막 패턴은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자.

**【청구항 24】**

제 23 항에 있어서,

상기 하부전극 및 상부전극은 질소 원소를 함유하는 도전성 물질, 탄소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막인 것을 특징으로 하는 상변화 기억 소자.

**【청구항 25】**

제 24 항에 있어서,

상기 상부전극은 그 상부 표면이 상기 상부 금속간 절연막의 상부 표면보다 더 낮으며,  
이때, 상기 상부전극 상의 상부 금속간 절연막을 관통하여 상기 상부 배선에 전기적으로 접속하되 그 직경이 상기 상부전극 너비보다 작은 알루미늄(Al), 알루미늄-구리 합금(Al-Cu), 알루미늄-구리-실리콘 합금(Al-Cu-Si), 텅스텐 실리사이드(WSi), 구리(Cu), 텅스텐티타늄(TiW)



중 어느 하나 또는 이들의 조합막으로 이루어진 도전 플러그를 더 포함하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 26】

제 25 항에 있어서,

상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자.

【청구항 27】

반도체 기판 상에 제 1 전극을 형성하는 단계;

상기 제 1 전극에 전기적으로 접속하는 질소 원소를 포함하는 상변화 물질막 패턴을 형성하는 단계;

상기 상변화 물질막 패턴 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 28】

제 27 항에 있어서,



상기 상변화 물질막 패턴은 약 100 내지 약 350 °C의 온도 범위에서 칼코겐 화합물을 타겟으로 하고 운송 가스로서 아르곤 가스를 사용하고 질소 원소 소오스로서 질소 가스를 사용하는 스퍼터링 방법에 의해 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 29】**

제 28 항에 있어서,

상기 칼코겐 화합물은 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, In-Sn-Sb-Te, Ag-In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 30】**

제 27 항 또는 제 29 항에 있어서,

상기 질소 원소가 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 %로 포함되도록 상기 상변화 물질막 패턴이 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 31】**

제 27 항에 있어서,

상기 상변화 물질막 패턴은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나로 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 32】**

제 27 항에 있어서,



상기 제 1 전극 및 제 2 전극은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막으로 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

### 【청구항 33】

제 32 항에 있어서,

상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나로 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

### 【청구항 34】

층간 절연막을 구비하는 반도체 기판을 제공하는 단계;

상기 층간 절연막 상에 하부 금속간 절연막을 형성하는 단계;

상기 하부 금속간 절연막을 관통하는 제 1 전극을 형성하는 단계;

상기 제 1 전극 및 하부 금속간 절연막 상에 질소 원소를 포함하며 다결정 상태를 나타내는 상변화 물질막 패턴 및 제 2 전극을 차례로 형성하는 단계;



상기 상변화 물질막 패턴 및 상기 제 2 전극을 덮도록 상기 하부 금속간 절연막 상에 상부 금속간 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 35】**

제 34 항에 있어서,

상기 상변화 물질막 패턴 및 제 2 전극을 차례로 형성하는 단계는,

상기 제 1 전극 및 상기 하부 금속간 절연막 상에 질소 원자를 포함하며 다결정 상태를 나타내는 상변화 물질막을 형성하는 단계;

상기 상변화 물질막 상에 제 2 전극막을 형성하는 단계;

상기 제 1 전극에 전기적으로 접속하도록 상기 제 2 전극막 및 상기 상변화 물질막을 차례로 패터닝하는 단계로 진행되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 36】**

제 35 항에 있어서,

상기 상변화 물질막은 약 100 내지 약 350 ℃의 온도 범위에서 칼코겐 화합물을 타겟으로 하고 운송 가스로서 아르곤 가스를 사용하고 질소 원소 소오스로서 질소 가스를 사용하는 스퍼터링 방법에 의해 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 37】**

제 36 항에 있어서,



상기 질소 원소가 상기 상변화 물질막 패턴 구성 원소의 총 원자량에 대해서 약 0.25 내지 25 %로 포함되도록 상기 상변화 물질막이 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 38】

제 37 항에 있어서,

상기 칼코겐 화합물은 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, In-Sn-Sb-Te, Ag-In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 39】

제 34 항에 있어서,

상기 층간 절연막을 구비하는 반도체 기판을 제공하는 단계는,

상기 반도체 기판에 소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터를 형성하는 단계;

상기 트랜지스터를 덮도록 상기 반도체 기판 상에 상기 층간 절연막을 형성하는 단계;

상기 층간 절연막을 패터닝하여 상기 소오스 영역 및 드레인 영역을 노출시키는 개구부를 형성하는 단계;

상기 개구부에 도전물질을 채워 각각 상기 소오스 영역 및 드레인 영역에 전기적으로 접속하는 콘택 패드 및 하부 배선을 형성하는 단계를 포함하여 이루어지고,

상기 제 1 전극은 상기 콘택 패드에 전기적으로 접속하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 40】**

제 34 항 또는 제 39 항에 있어서,

상기 상부전극이 노출되도록 상기 상부 금속간 절연막을 평탄화 식각하는 단계;

평탄화 식각을 진행한 후 배선 물질을 형성하는 단계;

상기 배선 물질을 패터닝하여 상기 상부전극에 전기적으로 접속하는 상부 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 41】**

제 34 항 또는 제 39 항에 있어서,

상기 상부 금속간 절연막을 패터닝하여 상기 상부전극의 일부를 노출시키는 개구부를 형성하는 단계;

상기 개구부를 채우는 도전성 플러그를 형성하는 단계;

상기 상부 금속간 절연막 및 도전성 플러그 상에 배선 물질을 형성하는 단계;

상기 배선 물질을 패터닝하여 상기 도전성 플러그에 전기적으로 접속하는 상부 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 42】**

반도체 기판 상에 제 1 전극을 형성하는 단계;

상기 제 1 전극에 전기적으로 접속하는 100nm 이하의 그레인으로 구성된 다결정 상태의 상변화 물질막 패턴을 형성하는 단계;

상기 상변화 물질막 패턴 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 43】**

제 42 항에 있어서,

상기 상변화 물질막 패턴은 칼코겐 화합물을 타겟으로 하여 질소 가스 및 운송 가스로서 아르곤 가스를 사용하는 스퍼터링 방법에 의해 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 44】**

제 42 항에 있어서,

상기 상변화 물질막 패턴은 Ge-Sb-Te-N, As-Sb-Te-N, As-Ge-Sb-Te-N, Sn-Sb-Te-N, In-Sn-Sb-Te-N, Ag-In-Sb-Te-N, 5A족 원소-Sb-Te-N, 6A족 원소-Sb-Te-N, 5A족 원소-Sb-Se-N, 6A족 원소-Sb-Se-N 중 어느 하나로 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

**【청구항 45】**

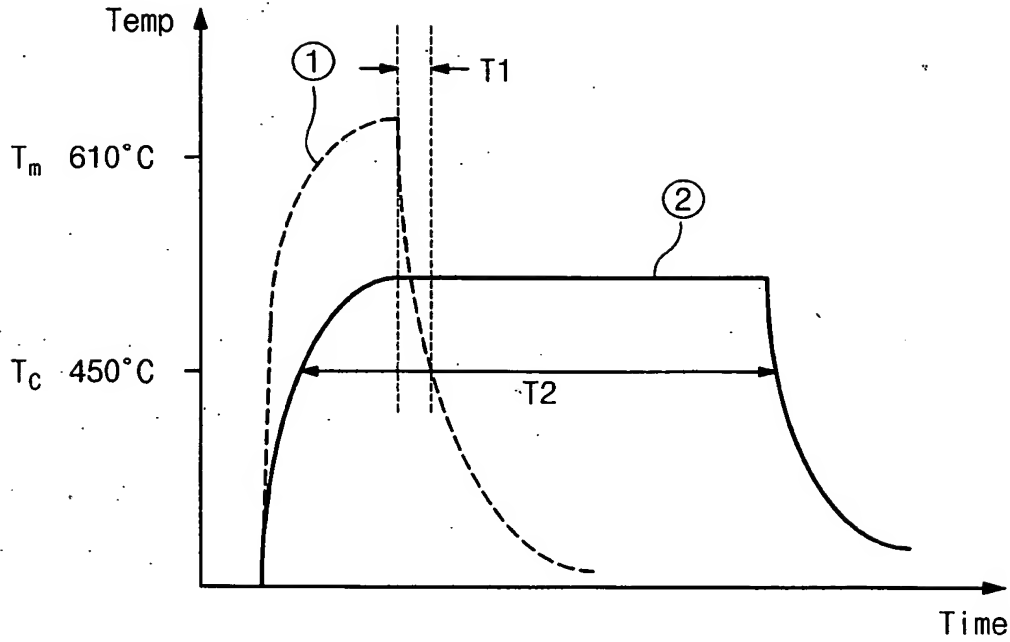
제 43 항 또는 제 44 항에 있어서,

상기 질소 원소는 약 0.25 내지 25 원자 %로 포함되도록 상기 상변화 물질막이 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

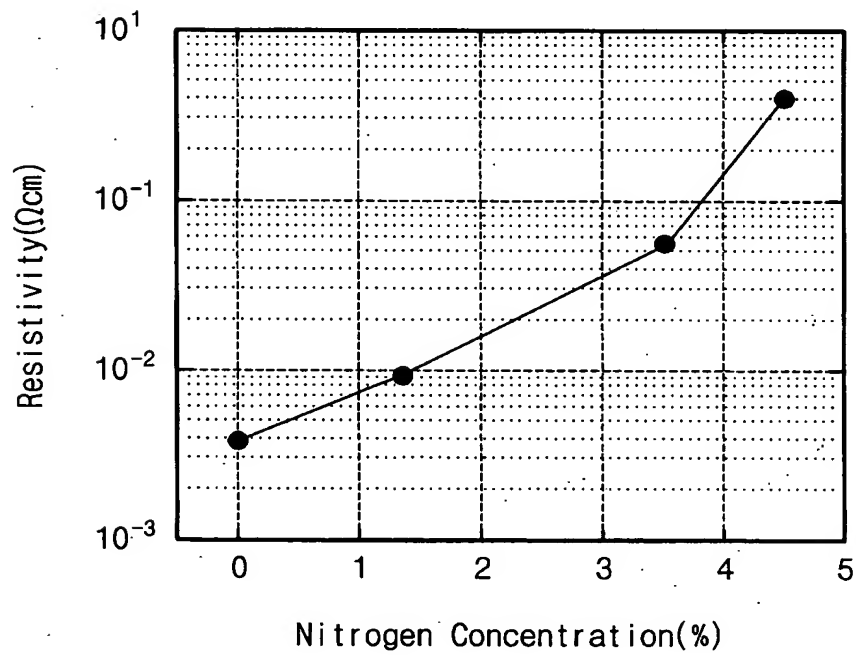


【도면】

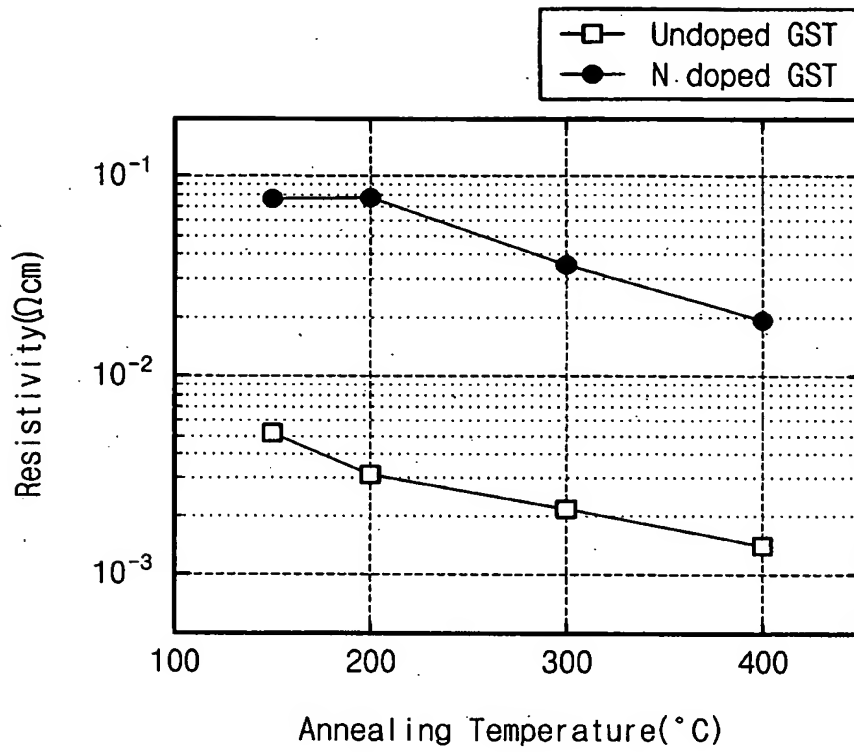
【도 1】



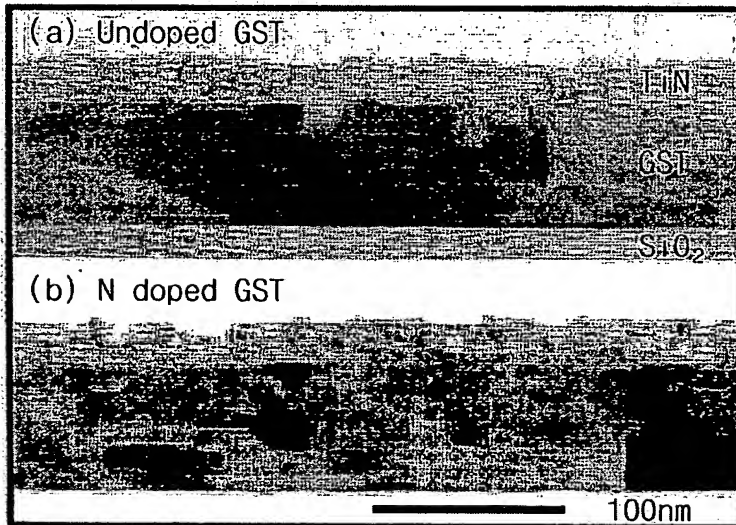
【도 2】



【도 3】

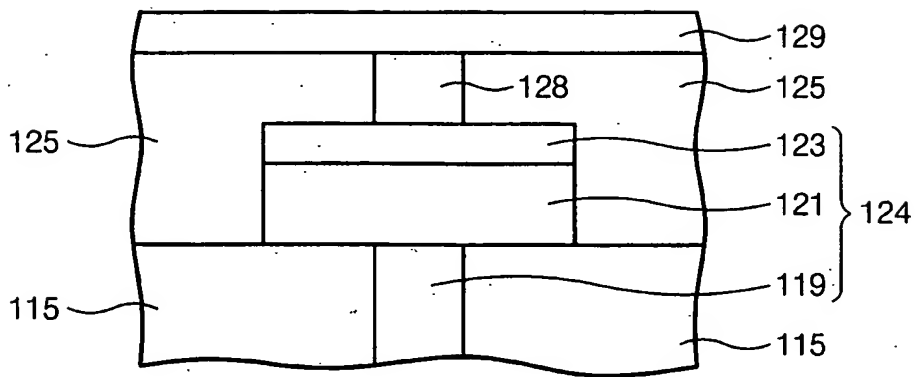


【도 4】

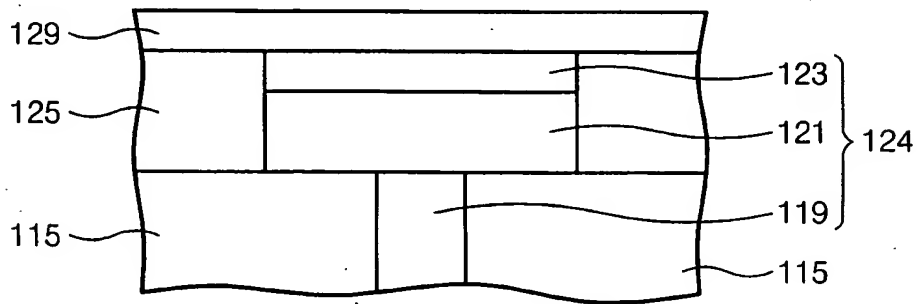




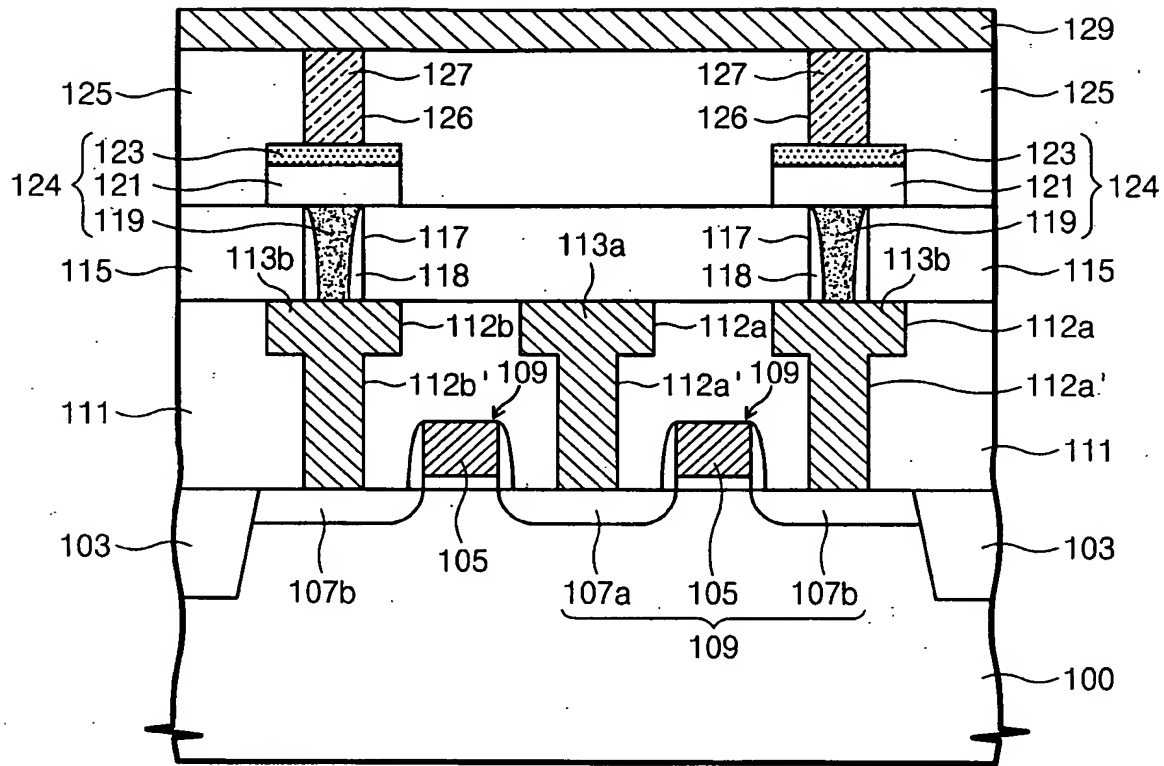
【도 5】



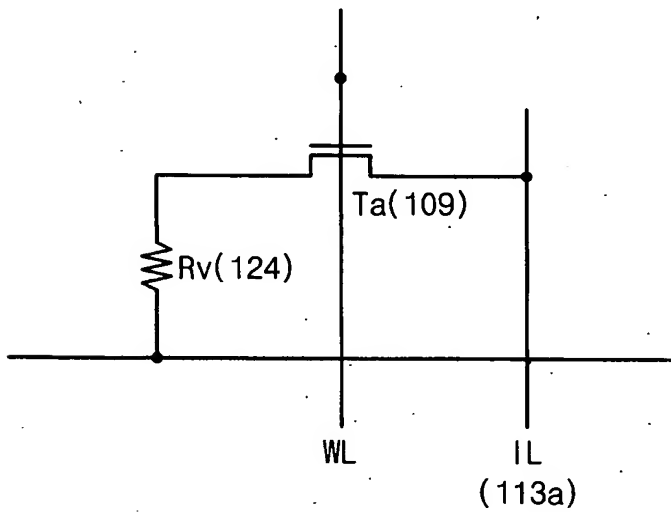
【도 6】



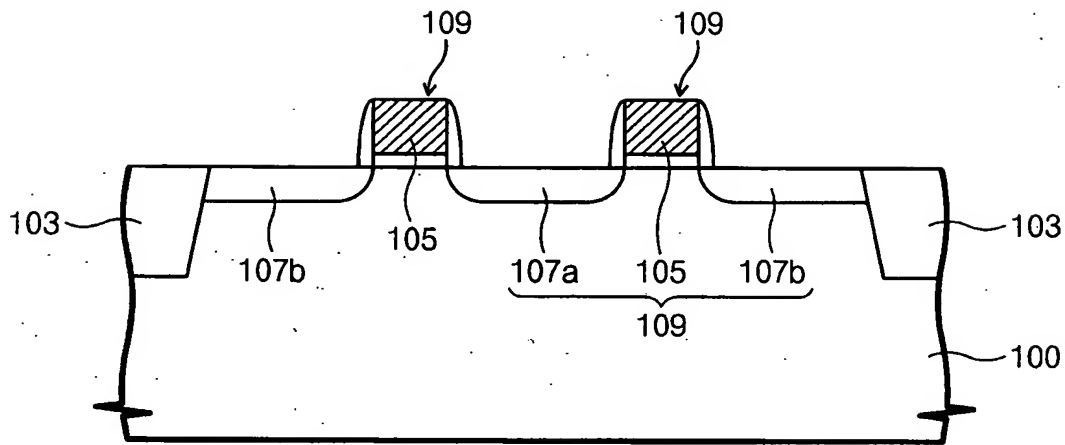
【도 7】



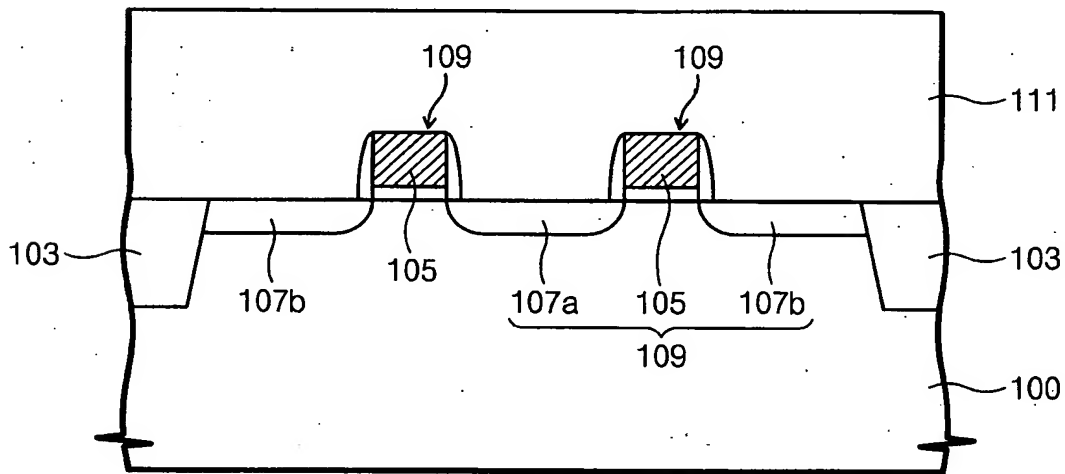
【도 8】



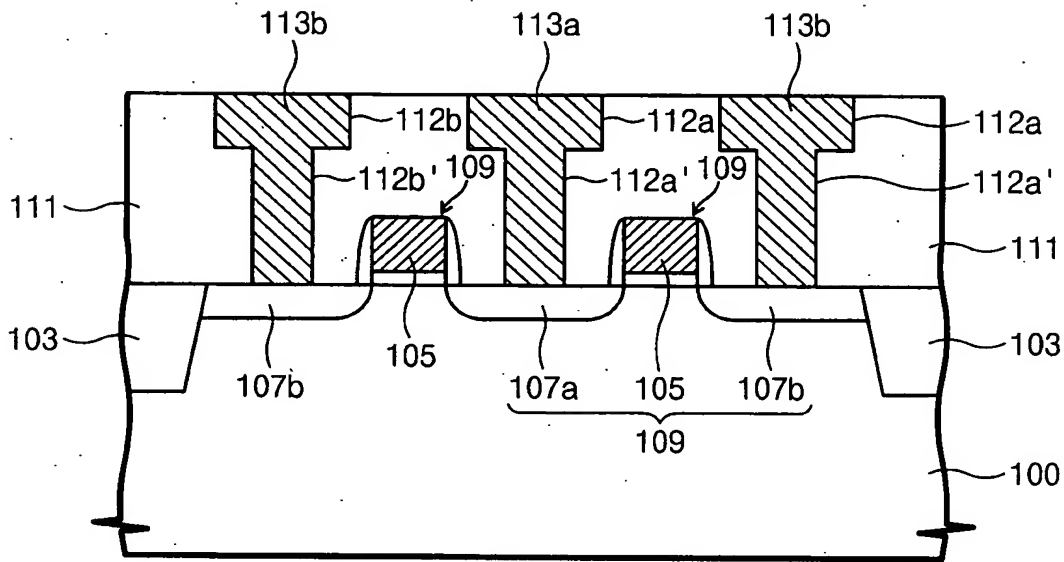
【도 9a】



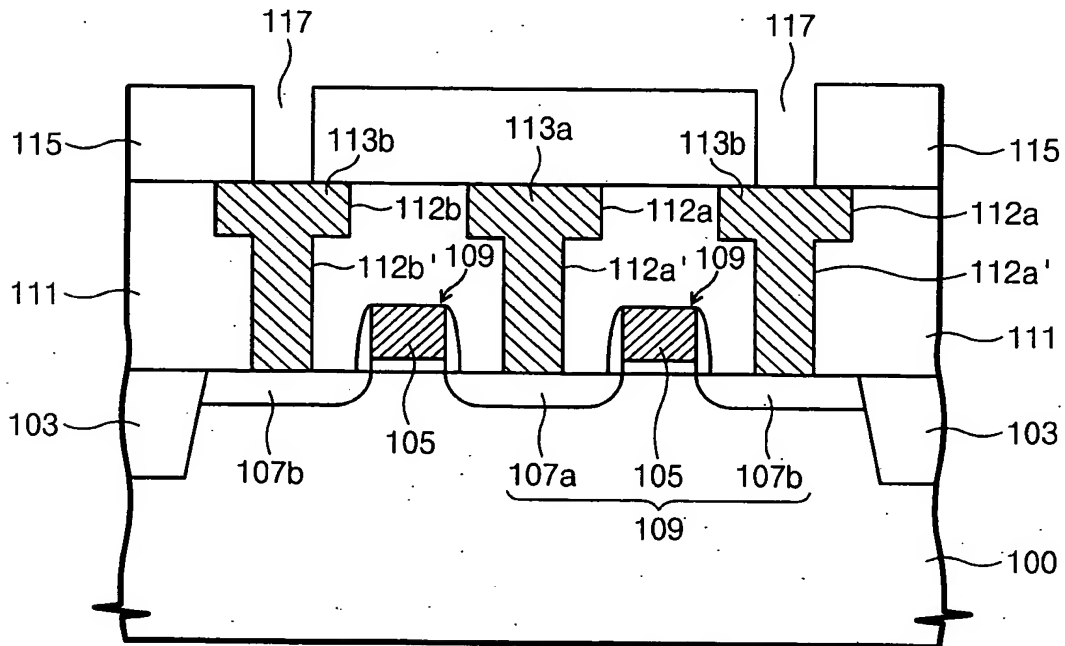
【도 9b】



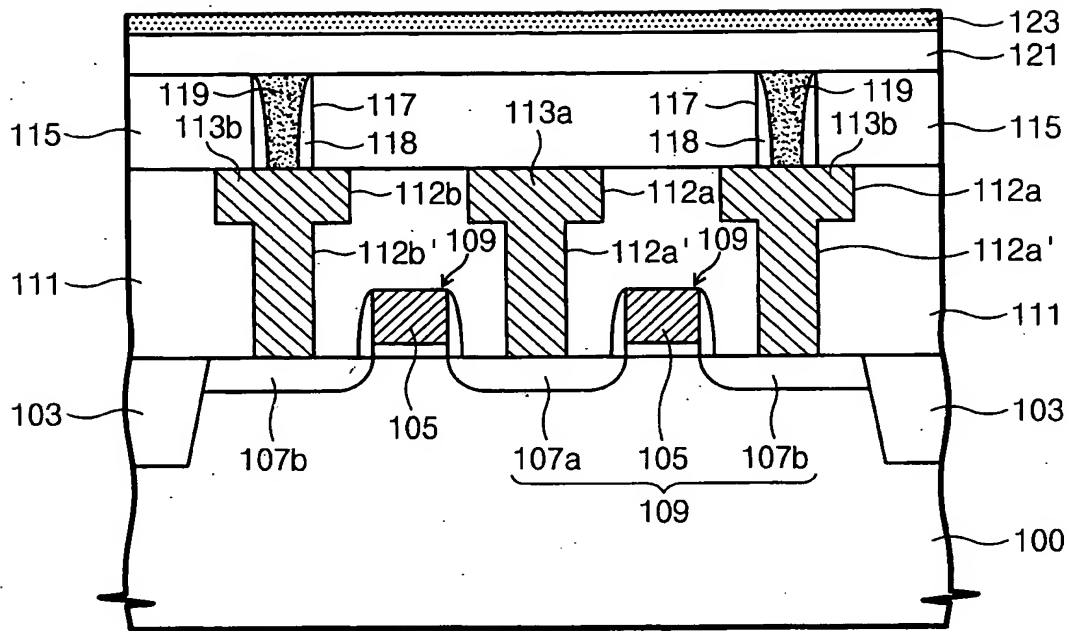
【도 9c】



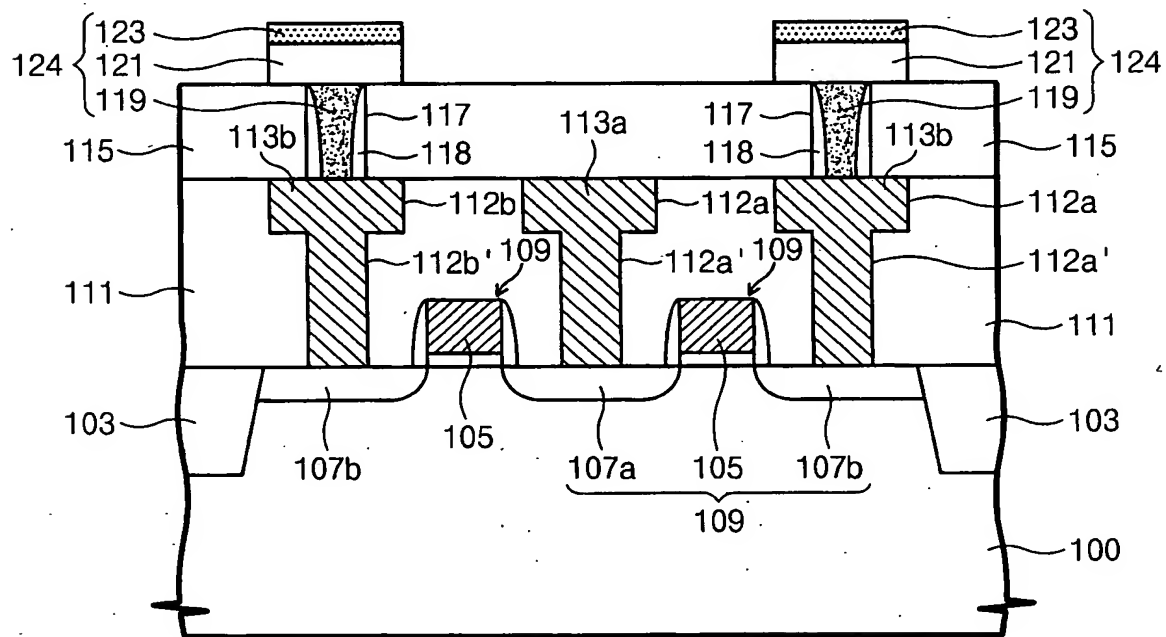
【도 9d】



【도 9e】

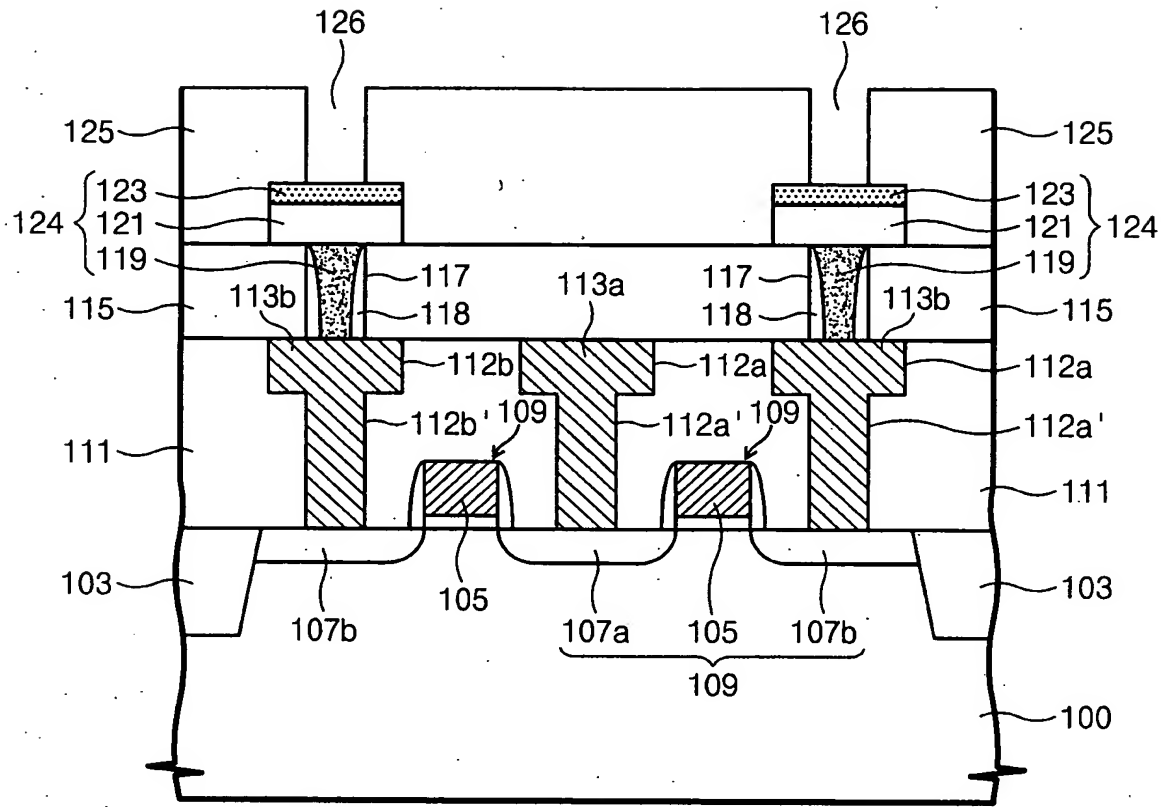


【도 9f】





【도 9g】

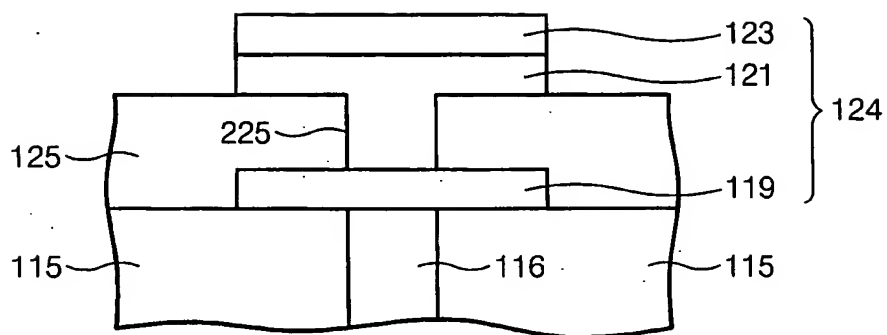




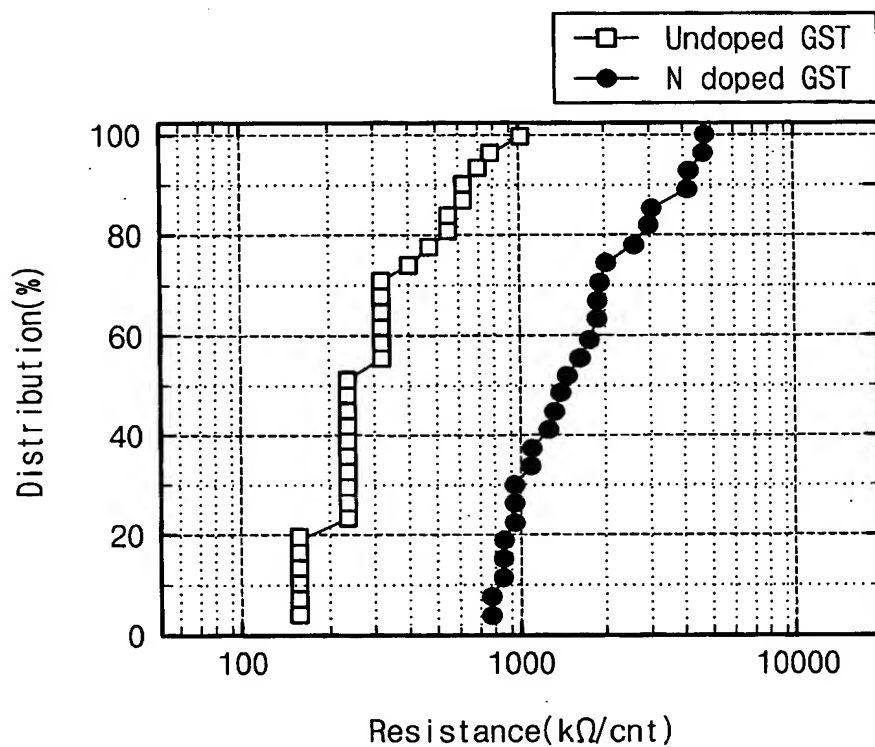




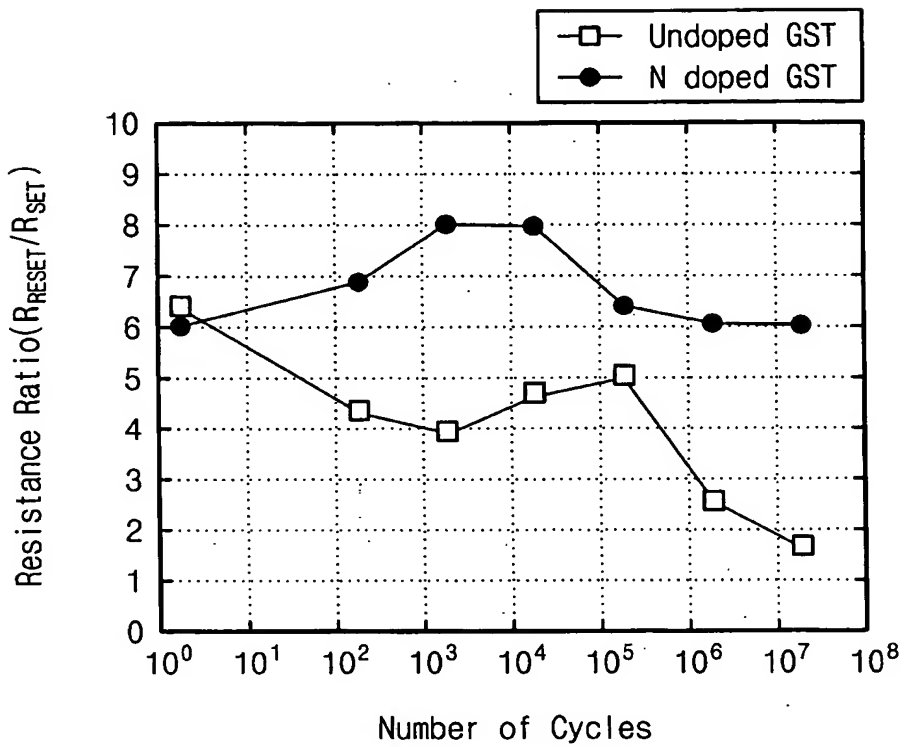
【도 11】



【도 12】



【도 13】



【도 14】

